

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hiroshi HASHIMOTO, et al.**

Serial No.: **Not Yet Assigned**

Filed: **February 27, 2002**

For: **SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF
PRODUCING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

February 27, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-205188, filed July 5, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of these applications be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



William G. Kratz, Jr.
Reg. No. 22,631

Atty. Docket No.: 020244
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WGK/ll



PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: July 5, 2001

Application Number: Japanese Patent Application
No. 2001-205188

Applicant(s) FUJITSU LIMITED

September 27, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3088874

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 7月 5日

出 願 番 号

Application Number:

特願2001-205188

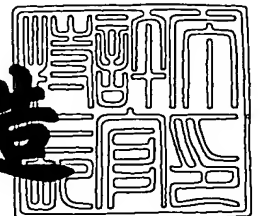
出 願 人
Applicant(s):

富士通株式会社

2001年 9月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3088874

【書類名】 特許願

【整理番号】 0140691

【提出日】 平成13年 7月 5日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/08
H01L 21/76
H01L 21/94

【発明の名称】 半導体集積回路装置およびその製造方法

【請求項の数】 10

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
【氏名】 橋本 広司

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
【氏名】 高橋 浩司

【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社

【代理人】
【識別番号】 100070150
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階
【弁理士】
【氏名又は名称】 伊東 忠彦
【電話番号】 03-5424-2511

【手数料の表示】
【予納台帳番号】 002989

特 2 0 0 1 - 2 0 5 1 8 8

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 基板と

前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、

前記基板上の素子領域に形成された半導体装置とよりなる半導体集積回路装置であって、

前記不揮発性メモリ装置は、前記メモリセル領域において前記基板表面を覆うトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティングゲート電極と、前記フローティングゲート電極上に形成された絶縁膜と、前記絶縁膜上に形成されたコントロールゲート電極とよりなる積層ゲート電極構造を含み、

前記半導体装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とよりなり、

前記フローティングゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜により覆われており、

前記トンネル絶縁膜と前記フローティングゲート電極との界面には、熱酸化膜よりなり前記フローティングゲート電極の側壁面から前記界面に沿って前記フローティングゲート電極の内側に侵入するバースピーク構造が形成されており、

前記ゲート絶縁膜は、前記基板表面と前記ゲート電極下面との間に実質的に一様な厚さで介在することを特徴とする半導体集積回路装置。

【請求項 2】 基板と、

前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、

前記基板上の素子領域に形成された半導体装置とよりなる半導体集積回路装置であって、

前記不揮発性メモリ装置は、前記メモリセル領域中に形成され、トンネル絶縁膜で覆われた第 1 の活性領域と、前記メモリセル領域中、前記第 1 の活性領域近傍に形成され、絶縁膜により覆われた第 2 の活性領域と、前記第 2 の活性領域中に形成された埋込拡散領域よりなるコントロールゲートと、前記メモリセル領域中に、前記第 2 の活性領域と前記第 1 の活性領域との間を架橋するように延在し

、前記第 2 の活性領域において前記埋込拡散領域と前記絶縁膜を介して容量性結合を形成し、前記第 1 の活性領域において前記トンネル絶縁膜上を延在する第 1 のゲート電極と、前記第 1 の活性領域中、前記第 1 のゲート電極の両側に形成された一对の拡散領域とよりなり、

前記半導体装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成された第 2 のゲート電極とよりなり、

前記第 1 のゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜により覆われており、

前記トンネル絶縁膜と前記第 1 のゲート電極との界面には、熱酸化膜よりなり前記第 1 のゲート電極の側壁面から前記界面に沿って前記第 1 のゲート電極の内側に侵入するバースピーク構造が形成されており、

前記ゲート酸化膜は、前記基板表面と前記第 2 のゲート電極下面との間に実質的に一様な厚さで介在することを特徴とする半導体集積回路装置。

【請求項 3】 メモリセル領域と第 1 の素子領域と第 2 の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第 1 の素子領域に対応して第 1 の半導体装置を形成し、前記第 2 の素子領域に対応して第 2 の半導体装置を形成する半導体集積回路装置の製造方法であって

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記メモリセル領域において前記トンネル絶縁膜を覆う第 1 のシリコン膜と、前記メモリセル領域において前記第 1 のシリコン膜を覆う絶縁膜と、前記第 1 の素子領域を覆う第 1 のゲート絶縁膜と、前記第 2 の素子領域を覆う前記第 1 のゲート絶縁膜よりも厚い第 2 のゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記第 1 の素子領域において前記第 1 のゲート絶縁膜を覆うように、さらに前記第 2 の素子領域において前記第 2 のゲート絶縁膜を覆うように、第 2 のシリコン膜を堆積する工程と、

前記第 1 および第 2 の素子領域において前記第 2 のシリコン膜を残し、前記メモリセル領域において選択的に前記第 2 のシリコン膜と前記絶縁膜と前記第 1 の

シリコン膜とをパターニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、

前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記第 1 および第 2 の素子領域において前記第 2 のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記積層ゲート電極構造および前記第 2 のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程と、

前記第 1 および第 2 の素子領域において前記第 2 のシリコン膜をパターニングし、第 1 および第 2 のゲート電極をそれぞれ形成する工程と、

前記第 1 および第 2 の素子領域において、前記第 1 および第 2 のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 メモリセル領域と第 1 の素子領域と第 2 の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第 1 の素子領域に対応して第 1 の半導体装置を形成し、前記第 2 の素子領域に対応して第 2 の半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記第 1 の素子領域を覆う第 1 のゲート絶縁膜と、前記第 2 の素子領域を覆う前記第 1 のゲート絶縁膜よりも厚い第 2 のゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記第 1 の素子領域において前記第 1 のゲート絶縁膜を覆うように、さらに前記第 2 の素子領域において前記第 2 のゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、

前記第 1 および第 2 の素子領域において前記シリコン膜を残し、前記メモリセル領域において選択的に前記シリコン膜をパターニングして、第 3 のゲート電極を形成する工程と、

前記メモリセル領域において前記第 3 のゲート電極を覆うように、また前記第

1 および第 2 の素子領域において前記シリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記第 3 のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第 3 のゲート電極の両側に拡散領域を形成する工程と、

前記第 1 および第 2 の素子領域において前記シリコン膜をパターニングし、第 1 および第 2 のゲート電極をそれぞれ形成する工程と、

前記第 1 および第 2 の素子領域において、前記第 1 および第 2 のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記メモリセル領域において前記トンネル絶縁膜を覆う第 1 のシリコン膜と、前記メモリセル領域において前記第 1 のシリコン膜を覆う絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、第 2 のシリコン膜を堆積する工程と、

前記論理素子領域において前記第 2 のシリコン膜を残し、前記メモリセル領域において選択的にコントロールゲート電極となる前記第 2 のシリコン膜と前記絶縁膜と前記第 1 のシリコン膜とをパターニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、

前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記論理素子領域において前記第 2 のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記積層ゲート電極構造および前記第 2 のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート

電極構造の両側に拡散領域を形成する工程と、

前記論理素子領域において前記第 2 のシリコン膜をパターニングし、ゲート電極を形成する工程と、

前記論理素子領域において、前記ゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法

【請求項 6】 メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、

前記論理素子領域において前記シリコン膜を残し、前記メモリセル領域において選択的に前記シリコン膜をパターニングして、第 1 のゲート電極を形成する工程と、

前記メモリセル領域において前記第 1 のゲート電極を覆うように、また前記論理素子領域において前記シリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記第 1 のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第 1 のゲート電極の両側に拡散領域を形成する工程と、

前記論理素子領域において前記シリコン膜をパターニングし、第 2 のゲート電極を形成する工程と、

前記論理素子領域において、前記第 2 のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 前記ゲート電極および前記コントロールゲート電極は、n 型

あるいはp型にドーピングされたシリコン膜を含むポリサイド構造あるいはポリメタル構造を有することを特徴とする請求項1記載の半導体集積回路装置。

【請求項8】 前記第2のゲート電極は、n型あるいはp型にドーピングされたシリコン膜を含むポリサイド構造あるいはポリメタル構造を有することを特徴とする請求項2記載の半導体装置集積回路装置。

【請求項9】 前記保護絶縁膜を形成する熱酸化膜は、前記バースピーク構造に連続することを特徴とする請求項1または2または7または8記載の半導体集積回路装置。

【請求項10】 前記ゲート電極および前記第1のゲート電極および前記第2のゲート電極および前記コントロールゲート電極は、n型あるいはp型にドーピングされたシリコン膜を含むポリサイド構造あるいはポリメタル構造であることを特徴とする請求項3～6のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に半導体装置およびその製造方法に係り、特に不揮発性半導体記憶装置を含み、複数の電源電圧を使う半導体集積回路装置およびその製造方法に関する。

【0002】

フラッシュメモリ装置はフローティングゲート電極中に情報を電荷の形で蓄積する不揮発性半導体記憶装置であり、簡単な素子構成を有しているため、大規模集積回路装置を構成するのに適している。

【0003】

フラッシュメモリ装置では情報の書き込みおよび消去が、フローティングゲート電極へのトンネル絶縁膜を介したホットキャリアの注入およびFowler-Nordheim型トンネル効果による引き抜きによりなされるが、かかるホットキャリアを発生させるためには高電圧が必要とされ、そのためフラッシュメモリ装置では、メモリセルと協働する周辺回路に電源電圧を昇圧する昇圧回路が設

けられている。従って、このような周辺回路において使われるトランジスタは高電圧で動作する必要がある。

【0004】

一方、最近ではこのようなフラッシュメモリ装置を高速論理回路と共に共通の半導体基板上に、半導体集積回路装置の形で形成することが行われている。このような高速論理回路では、使われるトランジスタは低電圧動作をする必要があり、このためかかる半導体集積回路装置では複数の電源電圧を使う必要がある。

【0005】

【従来の技術】

図1 (A) ～図9 (Q) は、かかるフラッシュメモリを含み、多電源電圧に対応した従来の半導体集積回路装置の製造工程を示す図である。

【0006】

図1 (A) を参照するに、フィールド酸化膜あるいはSTI構造などの素子分離構造 (図示せず) が形成されたSi基板11上にはフラッシュメモリセル領域A、低電圧動作トランジスタ領域B、および高電圧動作トランジスタ領域Cが画成されており、図1 (A) の工程では前記領域A～C上に、800～1100°Cでの前記Si基板11表面の熱酸化工程により、トンネル酸化膜12Aが8～10nmの厚さに形成される。さらに図1 (B) の工程において前記トンネル酸化膜12A上にP (リン) でドーピングされた80～120nmの厚さのアモルファスシリコン膜13と、いわゆるONO構造を有する絶縁膜14とが順次堆積される。ONO絶縁膜14は、前記アモルファスシリコン膜13上にCVD法により5～10nmの厚さに堆積されたSiO₂膜14cと、前記SiO₂膜14c上にCVD法により5～10nmの厚さに堆積されたSiN膜14bと、前記SiN膜14bの表面に形成された3～10nmの厚さの熱酸化膜14aとよりなり、優れたリーク電流特性を有している。

【0007】

次に図2 (C) の工程において、前記フラッシュメモリセル領域A上にレジストパターン15Aを形成し、前記レジストパターン15Aをマスクに、前記Si基板11上のONO膜14、アモルファスシリコン膜13およびトンネル絶縁膜

1 2 A を、前記低電圧動作トランジスタ領域 B および高電圧動作トランジスタ領域 C において除去し、前記領域 B および C において前記 S i 基板 1 1 の表面を露出する。前記トンネル絶縁膜 1 2 A の除去工程においては H F によるウェットエッチングが実行され、その結果前記 S i 基板 1 1 の表面が前記領域 B および C においては H F に曝される。

【 0 0 0 8 】

次に図 2 (D) の工程において前記レジストパターン 1 5 A を除去し、さらに 8 0 0 ~ 1 1 0 0 ° C の温度で熱酸化工程を行うことにより、前記領域 B および C 上に、前記 S i 基板 1 1 を覆うように熱酸化膜 1 2 C (熱窒化酸化膜を用いても可) を 1 0 ~ 5 0 n m の厚さに形成する。

【 0 0 0 9 】

さらに図 3 (E) の工程において前記 S i 基板 1 1 上に前記フラッシュメモリセル領域 A において前記 O N O 膜 1 4 を覆うように、また前記高電圧トランジスタ形成領域 C において前記熱酸化膜 1 2 C を覆うように次のレジストパターン 1 5 B を形成し、前記レジストパターン 1 5 B をマスクに、前記 S i 基板 1 1 上の熱酸化膜 1 2 C を前記低電圧動作トランジスタ領域 B において H F 処理により除去し、前記 S i 基板 1 1 の表面を露出する。図 3 (E) の工程により、前記領域 B においては S i 基板 1 1 の表面が二度目の H F 処理を受ける。

【 0 0 1 0 】

次に図 3 (F) の工程において前記レジストパターン 1 5 B を除去し、さらに前記領域 B において露出した S i 基板 1 1 上に 8 0 0 ~ 1 1 0 0 ° C における熱酸化処理により、厚さが 3 ~ 1 0 n m の熱酸化膜 1 2 B (熱窒化酸化膜を用いても可) を形成する。また図 3 (F) の工程では、前記熱酸化膜 1 2 B を形成する熱酸化工程の結果、前記高電圧動作トランジスタ領域 C 上に形成されている前記熱酸化膜 1 2 C の厚さが増大する。

【 0 0 1 1 】

次に図 4 (G) の工程において図 3 (F) の構造上に P ドープしたアモルファスシリコン膜 1 6 (ポリシリコン膜でも可、また後の工程でドープしても可) がプラズマ C V D 法により 1 0 0 ~ 2 5 0 n m の厚さに堆積され、次いで図 4 (H

）の工程において前記レジストパターン 1 7 A をマスクに前記アモルファスシリコン膜 1 6、前記 ONO 膜 1 4 および前記アモルファスシリコン膜 1 3 を順次パターンニングすることにより、前記フラッシュメモリセル領域 A においてアモルファスシリコンパターン 1 3 A、ONO パターン 1 4 A およびアモルファスシリコンパターン 1 6 A よりなり、前記アモルファスシリコンパターン 1 3 A をフローティングゲート電極として含むフラッシュメモリの積層ゲート電極構造 1 6 F が形成される。なお図 4（G）の工程において前記アモルファスシリコン膜 1 6 上に必要に応じて W S i や C o S i などのシリサイド膜を形成することも可能である。また、ノンドープポリシリコン膜を形成し、後のイオン注入工程にて n 型（P、A s 等）、あるいは p 型（B、B F₂ 等）のゲート電極を形成することも可能である。

【 0 0 1 2 】

次に図 5（I）の工程において前記レジストパターン 1 7 A が除去され、新にレジストパターン 1 7 B が、前記フラッシュメモリセル領域 A を覆うように形成され、前記レジストパターン 1 7 B をマスクに前記低電圧動作トランジスタ領域 B および高電圧動作トランジスタ領域 C において前記アモルファスシリコン膜 1 6 をパターンニングすることにより、前記領域 B に低電圧動作トランジスタのゲート電極 1 6 B が、また前記領域 C に高電圧動作トランジスタのゲート電極 1 6 C が形成される。

【 0 0 1 3 】

次に図 5（J）の工程において前記レジストパターン 1 7 B を除去し、8 0 0 ～ 9 0 0 ° C での熱酸化処理により、前記フラッシュメモリセル領域 A において前記積層ゲート電極構造 1 6 F を覆うように、また前記低電圧動作トランジスタ形成領域 B において前記ゲート電極 1 6 B を覆うように、さらに前記高電圧動作トランジスタ形成領域 C において前記ゲート電極 1 6 C を覆うように、保護酸化膜 1 8 が形成される。

【 0 0 1 4 】

次に図 6（K）の工程において、図 5（J）の構造上に前記低電圧動作トランジスタおよび高電圧動作トランジスタの形成領域 B および C を覆うように、また

前記フラッシュメモリセル領域Aを部分的に覆うようにレジストパターン19Aが形成され、前記レジストパターン19Aおよび前記積層ゲート電極16FをマスクにP+ (As+でも可) のイオン注入を、典型的には30~80 keVの加速電圧で、 $1 \times 10^{14} \text{ cm}^{-2} \sim 3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で行い、前記Si基板11中に前記積層ゲート電極16Fに隣接してn型拡散領域11aを形成する。

【0015】

図6 (K) の工程では、さらに前記レジストパターン19AをマスクにAs+のイオン注入を、典型的には30~50 keVの加速電圧で、 $1 \times 10^{15} \sim 6 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で行い、前記n型拡散領域11a内に別のn型拡散領域11bを形成する。図6 (K) の工程では、前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cは前記レジストパターン19Aにより覆われているため、イオン注入は生じない。

【0016】

次に図6 (L) の工程において前記レジストパターン19Aが除去され、新にレジストパターン19Bが前記領域Aを露出するように、また前記領域BおよびCを覆うように形成される。図6 (L) の工程ではさらに前記レジストパターン19BをマスクにAs+ (P+でも可) のイオン注入が30~50 keVの加速電圧下、 $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で実行され、その結果前記n型拡散領域11b中の不純物濃度が増大すると同時に、前記フラッシュメモリ領域A中にさらに別のn型拡散領域11cが、前記積層ゲート構造16Fを自己整合マスクに形成される。このとき図6 (K) の工程は削除することも可能である。

【0017】

次に図7 (M) の工程において前記レジストパターン19Bは除去され、前記低電圧動作トランジスタ領域Bのみを露出するようにレジストパターン19Cが前記Si基板11上に形成される。さらに図7 (M) の工程では前記レジストパターン19Cをマスクにp型不純物あるいはn型不純物をイオン注入し、前記領域Bにおいて前記ゲート電極16Bを自己整合マスクに、一対のLDD拡散領域11dを前記Si基板11中、前記ゲート電極16Bの両側に形成する。

【0018】

次に図7（N）の工程において前記レジストパターン19Cは除去され、前記高電圧動作トランジスタ領域Cのみを露出するようにレジストパターン19Dが前記Si基板11上に形成される。さらに図7（N）の工程では前記レジストパターン19Dをマスクにp型あるいはn型の不純物元素がイオン注入され、前記Si基板11中、前記ゲート電極16Cの両側に一对のLDD拡散領域11eが形成される。前記拡散領域11eと11dとは、同一工程で形成することも可能である。

【0019】

さらに図8（O）の工程において前記積層ゲート電極16F、前記ゲート電極16Bおよび前記ゲート電極16Cの両側に側壁絶縁膜16sがCVD酸化膜の堆積およびエッチバックにより形成され、図8（P）の工程において前記フラッシュメモリセル領域Aを覆うレジストパターン19Eを、前記レジストパターン19Eが前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cを露出するように形成される。さらにp型不純物元素あるいはn型不純物元素を前記レジストパターン19Eおよびゲート電極16B、16Cをマスクにイオン注入することにより、前記領域Bにおいては前記Si基板11中、前記ゲート電極16Bの外側にp+型あるいはn+型の拡散領域11fが形成される。同様に前記領域Cにおいては前記Si基板中、前記ゲート電極16Cの外側にp+型あるいはn+型の拡散領域11gが形成される。前記拡散領域11fおよび11gの表面には、必要に応じてサリサイド工程によりWSiやCoSiなどの低抵抗シリサイド膜を形成することも可能である。

【0020】

さらに図9（Q）の工程において前記Si基板11上に層間絶縁膜20が前記領域A～Cを連続して覆うように形成され、さらに前記層間絶縁膜20中に前記領域Aにおいては前記拡散領域11bおよび11cを露出するコンタクトホールが形成され、前記コンタクトホール中にはWプラグ20Aが形成される。同様に前記領域Bにおいては前記拡散領域12fを露出するコンタクトホールが形成され、前記コンタクトホール中にはWプラグ20Bが形成される。また前記領域Cにおいては前記層間絶縁膜20中に前記拡散領域12gを露出するコンタクトホ

ールが形成され、前記コンタクトホール中にはWプラグ20Cが形成される。

【0021】

【発明が解決しようとする課題】

ところで、このような積層ゲート電極構造16Fを有するフラッシュメモリ装置を含む半導体集積回路装置の製造工程では、図5(J)の工程において前記積層ゲート電極構造16Fの側壁面に厚さが5~10nmの保護酸化膜18が800~900°Cにおける熱酸化処理工程により形成されるが、かかる熱酸化工程の結果、かかる保護酸化膜18は、図10(A), (B)に示すように前記積層ゲート電極構造16Fのみならず、前記低電圧動作トランジスタ領域B上に形成されたゲート電極16Bの側壁面、および前記集電圧動作トランジスタ領域Cに形成されたゲート電極16Cの側壁面上にも形成される。

【0022】

その際、図10(B)に円で囲んで示すように、前記保護酸化膜18は前記領域Bにおいてゲート電極16Bの下に食い込むバースピークを形成してしまう。このため特にゲート長が短く、従ってゲート酸化膜12Bの厚さの薄い低電圧動作トランジスタでは、実質的なゲート酸化膜の膜厚変動がゲート電極16B直下において生じてしまい、その結果しきい値特性が所望の値からずれてしまう問題が生じる。

【0023】

このような問題は、前記保護酸化膜18を形成しなければ勿論発生しないが、前記保護酸化膜18を形成しない場合、図11(B)に示すように前記フローティングゲート電極13中に保持された電子はCVD工程とエッチバック工程により形成された側壁絶縁膜16sへと散逸してしまい、フラッシュメモリ装置中に蓄積された情報は短時間で失われてしまう。これに対し、図11(A)に示すように前記フローティングゲート電極13の側壁にリーク電流の少ない高品質な熱酸化膜18を形成した場合には、前記フローティングゲート電極13中に注入された電子は安定に保持される。

【0024】

このようなことから、フラッシュメモリ装置を含む半導体集積回路装置では、

かかる保護酸化膜 18 を形成するのは不可欠であるが、一方で、かかる保護酸化膜を形成することによる周辺回路あるいは論理回路を構成する MOS トランジスタのしきい値特性の変動の問題もまた不可避免的に生じてしまう。かかる MOS トランジスタのしきい値特性の変動の問題は、特に MOS トランジスタがゲート長の短い高速トランジスタである場合に顕著に現れる。

【0025】

図 12 は、本発明の関連技術による単層ゲート電極構造を有するフラッシュメモリセルの構成を示す平面図である。

【0026】

図 12 を参照するに、Si 基板 11 上にはフィールド酸化膜 11F により素子領域 11A が画成されており、前記フローティングゲート電極パターン 13A の一端が前記 Si 基板 11 上に前記素子領域 11A を横切るように形成されている。前記素子領域 11A 中には前記フローティングゲート電極パターン 13A を自己整合マスクに、片側に n-型のソース領域 11a および n+型のソースライン領域 11b が形成され、他の側に n+型のドレイン領域 11c とが形成されている。

【0027】

前記 Si 基板 11 上には前記素子領域 11A に隣接して別の素子領域 11B が形成されており、前記素子領域 11B 中には n+型拡散領域 11C が形成されている。前記フローティングゲート電極パターン 13A は他端に前記拡散領域 11C を覆うカップリング部 13Ac が形成されている。

【0028】

図 13 (A) は図 12 中、X-X' に沿った断面図を示す。

【0029】

図 13 (A) を参照するに、前記 Si 基板 11 上には前記ソースライン領域 11b とドレイン領域 11c との間にトンネル酸化膜 12A が形成されており、前記フローティングゲート電極パターン 13A は前記トンネル酸化膜 12A 上に形成されているのがわかる。また前記 Si 基板 11 中には前記 n+型ソースライン領域 11b の外側に n-型のソース領域 11a が形成されているのがわかる。前

記フローティングゲート電極パターン13Aの側壁には側壁絶縁膜が形成されている。

【0030】

図13(B)は、図12中Y-Y'に沿った断面図を示す。

【0031】

図13(B)を参照するに前記フローティングゲート電極パターン13Aは、前記Si基板11上のフィールド酸化膜11F上を図13(A)のフラッシュメモリセルが形成された素子領域11Aから隣接する素子領域11ACへと連続的に延在しているのがわかる。前記フローティングゲート電極パターン13Aの端部13Acは、前記高濃度拡散領域11Cと、酸化膜12Acを介して容量結合している。

【0032】

そこで書き込み(program)動作時に図14(A), (B)に示すように前記ソースライン領域11bを設置し、前記ドレイン領域に+5Vのドレイン電圧を印加し、さらに前記高濃度拡散領域11Cに+10Vの書き込み電圧を印加することにより前記フローティングゲート電極13Aの電位が上昇し、前記素子領域11Aにおいて前記フローティングゲート電極13A中へのホットエレクトロンの注入が、トンネル酸化膜12Aを介して生じる。

【0033】

一方消去(erase)動作時には図14(C), (D)に示すように前記ドレイン領域11cおよび前記高濃度拡散領域11Cを接地し、前記ソースライン領域11bに+15Vの消去電圧を印加する。その結果、前記フローティングゲート電極13A中の電子は前記ソース領域11aへと前記トンネル酸化膜12A中をトンネリングし、さらに前記ソースライン領域11bを通してソース電源に吸収される。

【0034】

このように図12のフラッシュメモリでは前記高濃度拡散領域11Cがコントロールゲート電極の役割を果たし、従来の積層ゲート構造のフラッシュメモリと異なり、ポリシリコンフローティングゲート電極とポリシリコンコントロールゲ

ート電極との間に先に説明したONO膜14を形成する必要がない。図31のフラッシュメモリで前記ONO膜14の役割を果たすのは酸化膜12Acであるが、前記酸化膜12AcはSi基板11上に熱酸化処理により形成できるため、高品質である。

【0035】

図15(A)～図21(M)は、低電圧動作トランジスタBおよび高電圧動作トランジスタCの他に図12のフラッシュメモリセルを含んだ半導体集積回路装置を製造した場合の製造工程を示す図である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0036】

図15(A)を参照するに、前記Si基板11上には、フラッシュメモリセル領域A、低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cの各々に800～1100°Cの温度での熱酸化処理により、熱酸化膜12Cが5～50nmの厚さに形成され、図15(B)の工程においてレジストパターン15₁を使ったパターニング工程により、前記熱酸化膜12Cが前記フラッシュメモリセル領域Aから除去される。

【0037】

次に図16(C)の工程において前記レジストパターン15₁は除去され、さらに800～1100°Cの温度で熱酸化処理を行うことにより、前記領域A上において前記Si基板11の表面にトンネル酸化膜12Aを5～15nmの厚さに形成する。図16(C)の工程では、前記トンネル酸化膜12Aを形成する熱酸化処理工程の結果、前記領域B～Dの各々において、前記熱酸化膜12Cの成長が生じる。

【0038】

次に図16(D)の工程においてレジストパターン15₂を使ったパターニング工程により、前記中電圧動作トランジスタ領域Bにおいて前記熱酸化膜12Cが除去され、次に図17(E)の工程において前記レジストパターン15₂を除去した後、800～1100°Cの温度で熱酸化処理を行うことにより、前記領域B上に熱酸化膜12Bを3～10nmの厚さに形成する。図17(E)の工程

では、前記熱酸化膜 12B を形成する熱酸化処理工程の結果、前記領域 A において前記トンネル酸化膜 12A の成長が、また前記領域 C において前記熱酸化膜 12C の成長が生じる。

【0039】

次に図 17 (F) の工程において前記 Si 基板 11 上に一様に P ドープされたアモルファスシリコン膜 13 を 150~200 nm の厚さに堆積し、これを図 18 (G) の工程においてレジストパターン 17₁ をマスクにパターニングし、前記フラッシュメモリセル領域 A においてフローティングゲート電極パターン 13A を、また前記低電圧動作トランジスタ領域 B においてゲート電極パターン 13B を、さらに前記高電圧動作トランジスタ領域 C においてゲート電極パターン 13C を形成する。

【0040】

次に図 18 (H) の工程において、前記フローティングゲート電極パターン 13A およびゲート電極パターン 13B~13D の表面を 800~900 °C での熱酸化処理工程により 5~10 nm の厚さの熱酸化膜 18 により覆い、図 19 (I) の工程においてレジストパターン 17₂ をマスクに P+あるいは As+ を 50~80 keV の加速電圧下、 $1 \times 10^{14} \sim 5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入し、ソース領域 11a を形成する。

【0041】

さらに図 19 (J) の工程においてレジストパターン 17₃ により前記領域 B~C を覆い、前記領域 A において前記フローティングゲート電極パターン 13A を自己整合マスクに As+ のイオン注入を 30~50 keV の加速電圧下、 $5 \times 10^{14} \sim 3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記ソース領域 11a の内側に n+型のソースライン領域 11b を、また前記ソース領域 11a のチャネル領域を隔てて反対側に n+型のドレイン領域 11c を形成する。

【0042】

次に図 20 (K) の工程において前記フラッシュメモリセル領域 A を覆うレジストパターン 17₃ を形成し、p 型あるいは n 型不純物元素をイオン注入することにより、前記領域 B に LDD 領域 11d を、前記領域 C に LDD 領域 11e を

、それぞれ形成する。

【0043】

さらに図20 (L) の工程において前記フローティングゲート電極パターン13 Aおよびゲート電極パターン13 B～13 Cの両側壁面に側壁酸化膜16 sが形成され、図21 (M) の工程において前記フラッシュメモリ領域Aをレジストパターン17₄で覆った状態で前記領域B～Cの各々においてp型あるいはn型の不純物元素をイオン注入し、拡散領域11 f, 11 gを形成する。

【0044】

かかる単層ゲート構造のフラッシュメモリ装置の製造においても、図18 (H) の工程において、図22 (A) に詳細に示すように、前記フラッシュメモリセル領域Aにおいて単層ゲート電極構造13 Aを覆うように熱酸化膜18を保護絶縁膜として形成する際に、同じ熱酸化膜18が前記低電圧トランジスタ領域Bにおいても図22 (B) に示すようにゲート電極13 Bを覆うように形成されてしまい、その結果図22 (B) 中、円で囲んで示すように前記ゲート電極13 Bの直下に侵入するバースピークが形成されてしまう。このため、前記領域Bに形成される低電圧動作トランジスタでは、所望のしきい値特性を得ることができなくなってしまう。

【0045】

そこで、本発明は上記の課題を解決した新規で有用な半導体装置の製造方法を提供することを概括的課題とする。

【0046】

本発明のより具体的な課題は、基板上にフラッシュメモリ装置を含む半導体集積回路装置を形成する半導体装置の製造方法において、前記基板上に前記フラッシュメモリ装置と共に形成される別の半導体装置のゲート電極直下におけるバースピーク形成を効果的に抑制できる製造方法を提供することにある。

【0047】

【課題を解決するための手段】

本発明は上記の課題を、基板と、前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、前記基板上の素子領域に形成された半導体装置とよりなる

半導体集積回路装置であって、前記不揮発性メモリ装置は、前記メモリセル領域において前記基板表面を覆うトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティングゲート電極と、前記フローティングゲート電極上に形成された絶縁膜と、前記絶縁膜上に形成されたコントロールゲート電極とよりなる積層ゲート電極構造を含み、前記半導体装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とよりなり、前記フローティングゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜により覆われており、前記トンネル絶縁膜と前記フローティングゲート電極との界面には、熱酸化膜よりなり前記フローティングゲート電極の側壁面から前記界面に沿って前記フローティングゲート電極の内側に侵入するバズビーク構造が形成されており、前記ゲート絶縁膜は、前記基板表面と前記ゲート電極下面との間に実質的に一様な厚さで介在することを特徴とする半導体集積回路装置により、解決する。

【 0 0 4 8 】

本発明はまた、基板と、前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、前記基板上の素子領域に形成された半導体装置とよりなる半導体集積回路装置であって、前記不揮発性メモリ装置は、前記メモリセル領域中に形成され、トンネル絶縁膜で覆われた第1の活性領域と、前記メモリセル領域中、前記第1の活性領域近傍に形成され、絶縁膜により覆われた第2の活性領域と、前記第2の活性領域中に形成された埋込拡散領域よりなるコントロールゲートと、前記メモリセル領域中に、前記第2の活性領域と前記第1の活性領域との間を架橋するように延在し、前記第2の活性領域において前記埋込拡散領域と前記絶縁膜を介して容量性結合を形成し、前記第1の活性領域において前記トンネル絶縁膜上を延在する第1のゲート電極と、前記第1の活性領域中、前記第1のゲート電極の両側に形成された一对の拡散領域とよりなり、前記半導体装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成された第2のゲート電極とよりなり、前記第1のゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜により覆われており、前記トンネル絶縁膜と前記第1のゲート電極との界面には、熱酸化膜よりなり前記第1のゲート電極の側壁面から前

記界面に沿って前記第 1 のゲート電極の内側に侵入するパーズピーク構造が形成されており、前記ゲート絶縁膜は、前記基板表面と前記第 2 のゲート電極下面との間に実質的に一様な厚さで介在することを特徴とする半導体集積回路装置により、解決する。

【 0 0 4 9 】

さらに本発明は上記の課題を、メモリセル領域と第 1 の素子領域と第 2 の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第 1 の素子領域に対応して第 1 の半導体装置を形成し、前記第 2 の素子領域に対応して第 2 の半導体装置を形成する半導体集積回路装置の製造方法であって、前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記メモリセル領域において前記トンネル絶縁膜を覆う第 1 のシリコン膜と、前記メモリセル領域において前記第 1 のシリコン膜を覆う絶縁膜と、前記第 1 の素子領域を覆う第 1 のゲート絶縁膜と、前記第 2 の素子領域を覆う前記第 1 のゲート絶縁膜よりも厚い第 2 のゲート絶縁膜とを含む半導体構造を形成する工程と、前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記第 1 の素子領域において前記第 1 のゲート絶縁膜を覆うように、さらに前記第 2 の素子領域において前記第 2 のゲート絶縁膜を覆うように、第 2 のシリコン膜を堆積する工程と、前記第 1 および第 2 の素子領域において前記第 2 のシリコン膜を残し、前記メモリセル領域において選択的に前記第 2 のシリコン膜と前記絶縁膜と前記第 1 のシリコン膜とをパターンニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記第 1 および第 2 の素子領域において前記第 2 のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、前記積層ゲート電極構造および前記第 2 のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程と、前記第 1 および第 2 の素子領域において前記第 2 のシリコン膜をパターンニングし、第 1 および第 2 のゲート電極をそれぞれ形成する工程と、前記第 1 および第 2 の素子領域において、前記第 1 および第 2 のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを

特徴とする半導体集積回路装置の製造方法により解決する。

【 0 0 5 0 】

また本発明は上記の課題を、メモリセル領域と第 1 の素子領域と第 2 の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第 1 の素子領域に対応して第 1 の半導体装置を形成し、前記第 2 の素子領域に対応して第 2 の半導体装置を形成する半導体集積回路装置の製造方法であって、前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記第 1 の素子領域を覆う第 1 のゲート絶縁膜と、前記第 2 の素子領域を覆う前記第 1 のゲート絶縁膜よりも厚い第 2 のゲート絶縁膜とを含む半導体構造を形成する工程と、前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記第 1 の素子領域において前記第 1 のゲート絶縁膜を覆うように、さらに前記第 2 の素子領域において前記第 2 のゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、前記第 1 および第 2 の素子領域において前記シリコン膜を残し、前記メモリセル領域において選択的に前記シリコン膜をパターニングして、第 3 のゲート電極を形成する工程と、前記メモリセル領域において前記第 3 のゲート電極を覆うように、また前記第 1 および第 2 の素子領域において前記シリコン膜表面を覆うように、保護酸化膜を形成する工程と、前記第 3 のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第 3 のゲート電極の両側に拡散領域を形成する工程と、前記第 1 および第 2 の素子領域において前記シリコン膜をパターニングし、第 1 および第 2 のゲート電極をそれぞれ形成する工程と、前記第 1 および第 2 の素子領域において、前記第 1 および第 2 のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法により、解決する。

【 0 0 5 1 】

本発明はまた上記の課題を、メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記メモリセ

ル領域において前記トンネル絶縁膜を覆う第1のシリコン膜と、前記メモリセル領域において前記第1のシリコン膜を覆う絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、第2のシリコン膜を堆積する工程と、前記論理素子領域において前記第2のシリコン膜を残し、前記メモリセル領域において選択的にコントロールゲート電極となる前記第2のシリコン膜と前記絶縁膜と前記第1のシリコン膜とをパターニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記論理素子領域において前記第2のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、前記積層ゲート電極構造および前記第2のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程と、前記論理素子領域において前記第2のシリコン膜をパターニングし、ゲート電極を形成する工程と、前記論理素子領域において、前記ゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法により、解決する。

【 0 0 5 2 】

さらに本発明は上記の課題を、メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、前記論理素子領域において前記シリコン膜を残し、前記メモリセル領域において選択的に前記シリコン膜をパターニングして、第1のゲート電極を形成する工程と、前記メモリセル領域において前記第1のゲート電極を覆うように、また前記論理素子領域において前記シリコン膜表面を覆うように、保護酸化膜を

形成する工程と、前記第 1 のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第 1 のゲート電極の両側に拡散領域を形成する工程と、前記論理素子領域において前記シリコン膜をパターンニングし、第 2 のゲート電極を形成する工程と、前記論理素子領域において、前記第 2 のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法により、解決する。

〔作用〕

本発明によれば、前記第 1 あるいは第 2 の素子領域においてゲート電極をパターンニングするよりも前に、不揮発性メモリセル領域において積層ゲート電極構造あるいはフローティングゲート電極を覆うように保護酸化膜が形成されるため、かかる保護酸化膜形成に伴って前記素子領域中においてゲート電極中に侵入するバズピーク構造が形成されることがなく、従って前記素子領域中における半導体装置のしきい値特性が変化する問題が回避される。また、本発明によれば、前記不揮発性メモリセル中においてイオン注入工程により拡散領域を形成する際に、前記素子領域がシリコン膜で覆われた状態であるため、かかるシリコン膜をマスクとすることにより、レジスト工程を省略することが可能になる。

【 0 0 5 3 】

【発明の実施の形態】

〔第 1 実施例〕

図 2 3 (A) ～図 2 7 (I) は、本発明の第 1 実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【 0 0 5 4 】

本実施例では最初に先に図 1 (A) ～図 4 (G) で説明した工程が実行され、図 2 3 (A) の工程において図 4 (G) に対応する構造が得られる。このとき、前記 Si 基板として SOI 基板を使うことも可能である。またトンネル酸化膜の代わりにトンネル窒化膜を使うことも可能である。

【 0 0 5 5 】

さらに図23(B)の工程において図4(H)で説明したレジストパターン17Aを使ったパターニングを行うことにより、前記フラッシュメモリセル領域Aにおいて積層ゲート電極構造16Fを形成する。図23(B)の工程では前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cは前記レジストパターン17Aにより覆われており、パターニングはなされない。

【0056】

本実施例では次に図24(C)の工程において前記レジストパターン17Aを除去し、さらに800~900°Cの温度で熱酸化処理を行うことにより、前記積層ゲート電極構造16Fを覆うように熱酸化膜よりなる保護絶縁膜18を形成する。同様な熱酸化膜18は、前記領域BおよびCにおいて、前記アモルファスシリコン膜16表面にも形成される。

【0057】

さらに本実施例では図24(C)の工程において、前記積層ゲート電極構造16Fを自己整合マスクとして使いながらAs⁺を(P⁺でも可能)先の図6(L)の工程と同様な条件でイオン注入することにより、前記フラッシュメモリセル領域Aにおいて拡散領域11cを形成する。前記拡散領域11b, 11aの側と拡散領域11cの側とは、一対の濃度としても可能である。その際、前記領域BおよびCはアモルファスシリコン膜16に覆われているため、基板11中へのイオン注入は生じない。なお、このときフラッシュメモリ領域のみ開口するレジストパターンパターンを使うことも可能である。

【0058】

さらに図24(D)の工程において先に図5(I)の工程で説明したレジストパターン17Bを使って前記領域BおよびCにおいて前記アモルファスシリコン膜16をパターニングし、低電圧動作トランジスタ領域Bにおいてゲート電極16Bを、また高電圧動作トランジスタ領域Cにおいてゲート電極16Cを形成する。

【0059】

次に図25(E)の工程において先に図7(M)の工程で説明したレジストパターン19Cをマスクに前記領域Bにおいてn型不純物元素あるいはp型不純物

元素のイオン注入を行い、Si基板11中、前記領域BにおいてLDD拡散領域11dを形成する。

【0060】

さらに図25(F)の工程において先に図7(N)の工程で説明したレジストパターン19Dをマスクに前記領域Cにおいてn型不純物元素あるいはp型不純物元素のイオン注入を行い、Si基板11中、前記領域CにおいてLDD拡散領域11eを形成する。なお図25(E)と図25(F)の工程において、前記拡散領域11dと前記拡散領域11eとは同一の工程で、同一のイオン注入条件で形成することも可能である。

【0061】

さらに図26(G)の工程において、先に説明した図8(O)の工程に対応して前記積層ゲート電極構造16F、ゲート電極16Bおよびゲート電極16Cの各々に対して一对の側壁絶縁膜16sが形成され、さらに図26(H)の工程において図8(P)の工程に対応して前記フラッシュメモリセル領域Aをレジストパターン19Eで覆う。図26(H)の工程では、さらに前記領域BおよびCにおいて前記ゲート電極16Bあるいは16Cと側壁絶縁膜16sとを自己整合マスクとしたn型不純物元素あるいはp型不純物元素のイオン注入工程を行うことにより、Si基板11中に拡散領域11fを形成する。

【0062】

さらに図26(H)の構造に対して、先に図9(Q)で説明したのと同様な工程を行うことにより、図9(Q)に対応する図27(I)の構造の半導体集積回路装置が得られる。

【0063】

本実施例では、図24(C)の工程において熱酸化工程により保護絶縁膜18を形成する際に、前記領域BおよびCにおいてはまだアモルファスシリコン膜16がパターニングされておらず、その結果熱酸化膜18は前記アモルファスシリコン膜16の表面には形成されるものの、熱酸化膜18が前記アモルファスシリコン膜16とゲート酸化膜12Bとの界面に形成されることはない。また図24(D)のゲート電極16Bあるいは16Cのパターニング工程の後ではかかる熱

酸化工程は存在しないため、図 2 8 (A) に示すように前記積層ゲート構造 1 6 F を覆うように前記保護絶縁膜 1 8 を形成しても、図 2 8 (B) に円で囲んで示すように、前記ゲート電極 1 6 B の底面にゲート酸化膜 1 2 B 以外の熱酸化膜が成長することがなく、前記低電圧動作トランジスタのしきい値特性が変化する問題が回避される。

【 0 0 6 4 】

図 2 8 (A) 中に円で囲んで示すように、図 2 4 (C) の工程では前記保護絶縁膜 1 8 の形成に伴ってフローティングゲート電極 1 3 A の下にはバースピークが形成されるが、前記領域 B, C の MOS トランジスタでは、バースピークが形成されたとしても、その厚さあるいは侵入距離はフローティングゲート電極 1 3 A の下に形成されるバースピークよりもはるかに小さいことがわかる。

【 0 0 6 5 】

さらに本実施例では、図 2 9 (A), (B) に示すように図 2 4 (C) のイオン注入工程の際、前記低電圧動作トランジスタ領域 B および高電圧動作トランジスタ領域 C がアモルファスシリコン膜 1 6 により覆われているため、前記領域 B および C にレジストパターンを設ける必要がなく、その結果半導体集積回路装置の製造工程が簡素化される。

〔第 2 実施例〕

図 3 0 (A) ～図 3 4 (I) は、本発明の第 2 実施例による単層ゲート電極構造のフラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【 0 0 6 6 】

本実施例においては、最初に先に図 1 5 (A) ～図 1 6 (D) に対応する工程が実行され、図 3 0 (A) の工程において図 1 7 (E) に対応する構造が得られる。なお、本実施例においても Si 基板 1 1 の代わりに SOI 基板を使うことが可能である。さらにトンネル酸化膜 1 2 A あるいは熱酸化膜 1 2 B, 1 2 C の代わりに熱窒化酸化膜を使うことも可能である。

【 0 0 6 7 】

次に図 3 0 (B) の工程において、図 3 0 (A) の構造上に図 1 7 (F) の工程に対応してアモルファスシリコン膜 1 3 (ポリシリコン膜でも可、P+によるドーピングも可) を 1 0 0 ~ 3 0 0 nm の厚さに堆積し、さらに図 3 1 (C) の工程において前記アモルファスシリコン膜 1 3 を、レジストパターン 2 7₁ をマスクにパターニングし、フローティングゲート電極 1 3 A を形成する。前記レジストパターン 2 7₁ は前記低電圧トランジスタ領域 B および高電圧トランジスタ領域 C を覆い、その結果、図 3 0 (B) の工程では、前記領域 B ~ C においては前記アモルファスシリコン膜 1 3 のパターニングは生じない。

【 0 0 6 8 】

次に図 3 1 (D) の工程において前記レジストパターン 2 7₁ が除去され、さらに 8 0 0 ~ 9 0 0 ° C の温度で熱酸化処理工程を行うことにより、前記領域 A においてフローティングゲート電極 1 3 A を覆うように、熱酸化膜よりなる保護絶縁膜 1 8 を、5 ~ 1 0 nm の厚さに形成する。かかる熱酸化処理工程の結果、前記領域 B ~ C においても、前記アモルファスシリコン膜 1 3 の表面に熱酸化膜 1 8 が形成される。

【 0 0 6 9 】

次に図 3 2 (E) の工程において、図 3 1 (D) の構造上に図 1 9 (I) のレジストパターン 1 7₂ に相当するレジストパターン 2 7₂ を形成し、前記レジストパターン 2 7₂ をマスクに前記 Si 基板 1 1 中に P+ を (As+ でも可) 3 0 ~ 8 0 keV の加速電圧下、 $1 \times 10^{14} \sim 5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入することにより、前記フラッシュメモリセル領域 A において前記フローティングゲート電極 1 3 A に隣接して拡散領域 1 1 a を形成する。また図 3 2 (E) の工程では、前記 P+ のイオン注入に引き続いて、As+ を 3 0 ~ 5 0 keV の加速電圧下、 $1 \times 10^{15} \sim 6 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記拡散領域 1 1 a の抵抗値を減少させる。

【 0 0 7 0 】

次に図 3 2 (F) の工程において前記レジストパターン 2 7₂ を除去し、前記領域 A において前記フローティングゲート電極 1 3 A をマスクに、As+ を (P+ でも可) 2 0 ~ 6 0 keV の加速電圧下、 $5 \times 10^{14} \sim 3 \times 10^{15} \text{ cm}^{-2}$ のドーズ

ズ量でイオン注入することにより、前記 Si 基板 1 1 中に拡散領域 1 1 b および 1 1 c を形成する。このとき、図 3 2 (E) の工程は削除も可能である。またフラッシュメモリ領域のみ開口するレジストパターンを形成することも可能である。

【0071】

次に図 3 3 (G) の工程で図 3 2 (F) の構造上に前記フラッシュメモリセル領域 A を覆うレジストパターン 2 7₃ を形成し、前記領域 B ~ C において前記アモルファスシリコン膜 1 3 を、前記レジストパターン 2 7₃ をマスクにパターニングすることにより、ゲート電極 1 3 B, 1 3 C を形成する。

【0072】

さらに図 3 3 (H) の工程において前記フラッシュメモリセル領域 A を覆うレジストパターン 2 7₄ を形成し、前記レジストパターン 2 7₄ をマスクに n 型不純物元素あるいは p 型不純物元素を前記 Si 基板 1 1 中にイオン注入により導入することにより、前記領域 B には LDD 拡散領域 1 1 d が、前記領域 C には LDD 拡散領域 1 1 e が形成される。

【0073】

さらに図 3 4 (I) の工程において前記レジストパターン 2 7₄ を除去し、続いて CVD 酸化膜 1 6 S を堆積する。図 3 4 (I) の工程では、さらに前記 CVD 酸化膜 1 6 S を前記フラッシュメモリセル領域 A においてレジストパターン 2 7₅ により保護し、前記領域 B ~ C においてエッチバックを行うことにより、前記ゲート電極 1 3 B, 1 3 C の各々の側壁面上に側壁酸化膜 1 6 s を形成する。

【0074】

さらに図 3 4 (I) の構造に対して図 2 1 (M) と同様なイオン注入工程を行い、前記 Si 基板 1 1 中に拡散領域 1 1 f, 1 1 g を形成する。さらに、p 型あるいは n 型のゲート電極を形成することも可能である。

【0075】

図 3 5 (A), (B) は、それぞれ本実施例により形成されたフラッシュメモリ装置および低電圧動作トランジスタの構成を詳細に示す。

【0076】

図 3 5 (A) よりわかるように、本実施例においてはフローティングゲート電極 1 3 A の両側壁面のみならず上面も前記保護酸化膜 1 8 により一様に覆われるため、前記フローティングゲート電極 1 3 A 中に蓄積された電子は、フラッシュメモリ装置が高温環境下に長期間にわたり放置された場合でも、安定に保持される。

【 0 0 7 7 】

また本実施例では図 3 1 (D) の熱酸化処理工程の際に前記領域 B ~ C において前記アモルファスシリコン膜 1 3 がパターニングされておらず、このため図 3 5 (B) に示すように、ゲート電極 1 3 B, 1 3 C の底面に酸化膜のバズピークが侵入することはない。このため、本実施例では前記フラッシュメモリ装置と共に、同じ Si 基板上に形成される MOS トランジスタのしきい値特性が安定し、動作特性が安定する。このしきい値特性および動作特性の改善は、特にゲート長が短くゲート酸化膜の厚さが薄い低電圧駆動トランジスタにおいて顕著である。

【 0 0 7 8 】

なお、本実施例では図 3 2 (F) のイオン注入工程においてレジストパターンを形成する必要がなく、製造工程が簡素化される。

【 0 0 7 9 】

なお、先の実施例による積層ゲート型フラッシュメモリ装置においても、図 2 7 (I) の構成において図 3 4 (I) の構成と同様に、積層ゲート構造 1 6 F の側壁面および上面を連続して保護絶縁膜 1 8 により覆うことが可能である。

【 0 0 8 0 】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【 0 0 8 1 】

(付記 1) 基板と

前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、

前記基板上の素子領域に形成された半導体装置とよりなる半導体集積回路装置

であって、

前記不揮発性メモリ装置は、前記メモリセル領域において前記基板表面を覆うトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティングゲート電極と、前記フローティングゲート電極上に形成された絶縁膜と、前記絶縁膜上に形成されたコントロールゲート電極とよりなる積層ゲート電極構造を含み、

前記半導体装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とよりなり、

前記フローティングゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜により覆われており、

前記トンネル絶縁膜と前記フローティングゲート電極との界面には、熱酸化膜よりなり前記フローティングゲート電極の側壁面から前記界面に沿って前記フローティングゲート電極の内側に侵入するバズピーク構造が形成されており、

前記ゲート絶縁膜は、前記基板表面と前記ゲート電極下面との間に実質的に一様な厚さで介在することを特徴とする半導体集積回路装置。(1)

(付記2) 基板と、

前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、

前記基板上の素子領域に形成された半導体装置とよりなる半導体集積回路装置であって、

前記フラッシュメモリ装置は、前記メモリセル領域中に形成され、トンネル絶縁膜で覆われた第1の活性領域と、前記メモリセル領域中、前記第1の活性領域近傍に形成され、絶縁膜により覆われた第2の活性領域と、前記第2の活性領域中に形成された埋込拡散領域よりなるコントロールゲートと、前記メモリセル領域中に、前記第2の活性領域と前記第1の活性領域との間を架橋するように延在し、前記第2の活性領域において前記埋込拡散領域と前記絶縁膜を介して容量性結合を形成し、前記第1の活性領域において前記トンネル絶縁膜上を延在する第1のゲート電極と、前記第1の活性領域中、前記第1のゲート電極の両側に形成された一对の拡散領域とよりなり、

前記半導体装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成された第2のゲート電極とよりなり、

前記第 1 のゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜により覆われており、

前記トンネル絶縁膜と前記第 1 のゲート電極との界面には、熱酸化膜よりなり前記第 1 のゲート電極の側壁面から前記界面に沿って前記第 1 のゲート電極の内側に侵入するバズピーク構造が形成されており、

前記ゲート絶縁膜は、前記基板表面と前記第 2 のゲート電極下面との間に実質的に一様な厚さで介在することを特徴とする半導体集積回路装置。

【 0 0 8 2 】

(付記 3) 前記前記保護絶縁膜を形成する熱酸化膜は、前記バズピーク構造に連続することを特徴とする付記 1 または 2 記載の半導体集積回路装置。

【 0 0 8 3 】

(付記 4) 前記保護絶縁膜は、さらに前記第 1 のゲート電極の上面をも、連続的に覆うことを特徴とする付記 1 または 2 記載の半導体集積回路装置。

【 0 0 8 4 】

(付記 5) 前記ゲート電極および前記コントロールゲート電極は、n 型あるいは p 型にドーピングされたシリコン膜を含むポリサイドあるいはポリメタル構造を有することを特徴とする付記 1 または 3 記載の半導体装置集積回路装置。

【 0 0 8 5 】

(付記 6) 前記第 2 のゲート電極は、n 型あるいは p 型にドーピングされたシリコン膜を含むポリサイドあるいはポリメタル構造を有することを特徴とする付記 2 ～ 4 のうち、いずれか一項記載の半導体集積回路装置。

【 0 0 8 6 】

(付記 7) 前記基板は、SOI 基板を用いることを特徴とする付記 1 ～ 6 のうち、いずれか一項記載の半導体装置集積回路装置。

【 0 0 8 7 】

(付記 8) メモリセル領域と第 1 の素子領域と第 2 の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第 1 の素子領域に対応して第 1 の半導体装置を形成し、前記第 2 の素子領域に対応して第 2 の半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記メモリセル領域において前記トンネル絶縁膜を覆う第1のシリコン膜と、前記メモリセル領域において前記第1のシリコン膜を覆う絶縁膜と、前記第1の素子領域を覆う第1のゲート絶縁膜と、前記第2の素子領域を覆う前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記第1の素子領域において前記第1のゲート絶縁膜を覆うように、さらに前記第2の素子領域において前記第2のゲート絶縁膜を覆うように、第2のシリコン膜を堆積する工程と、

前記第1および第2の素子領域において前記第2のシリコン膜を残し、前記メモリセル領域において選択的にコントロールゲート電極となる前記第2のシリコン膜と前記絶縁膜と前記第1のシリコン膜とをパターンニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、

前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記第1および第2の素子領域において前記第2のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記積層ゲート電極構造および前記第2のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程と、

前記第1および第2の素子領域において前記第2のシリコン膜をパターンニングし、第1および第2のゲート電極をそれぞれ形成する工程と、

前記第1および第2の素子領域において、前記第1および第2のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【0088】

(付記9) メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル酸化膜と、前記メモリセル

領域において前記トンネル絶縁膜を覆う第1のシリコン膜と、前記メモリセル領域において前記第1のシリコン膜を覆う絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、第2のシリコン膜を堆積する工程と、

前記論理素子領域において前記第2のシリコン膜を残し、前記メモリセル領域において選択的にコントロールゲート電極となる前記第2のシリコン膜と前記絶縁膜と前記第1のシリコン膜とをパターニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、

前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記論理素子領域において前記第2のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記積層ゲート電極構造および前記第2のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程と、

前記論理素子領域において前記第2のシリコン膜をパターニングし、ゲート電極を形成する工程と、

前記論理素子領域において前記ゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【0089】

(付記10) 前記第2のシリコン膜を堆積する工程は、前記メモリセル領域および前記第1の素子領域および前記第2の素子領域において、同時に実行されることを特徴とする付記8記載の半導体集積回路装置の製造方法。

【0090】

(付記11) 前記第2のシリコン膜を堆積する工程は、前記メモリセル領域および前記論理素子領域において、同時に実行されることを特徴とする副9記載の半導体集積回路装置の製造方法。

【0091】

(付記 1 2) 前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程は、レジストマスクを使うことなく実行されることを特徴とする付記 8 ～ 1 1 のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【 0 0 9 2 】

(付記 1 3) メモリセル領域と第 1 の素子領域と第 2 の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第 1 の素子領域に対応して第 1 の半導体装置を形成し、前記第 2 の素子領域に対応して第 2 の半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記第 1 の素子領域を覆う第 1 のゲート絶縁膜と、前記第 2 の素子領域を覆う前記第 1 のゲート絶縁膜よりも厚い第 2 のゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記第 1 の素子領域において前記第 1 のゲート絶縁膜を覆うように、さらに前記第 2 の素子領域において前記第 2 のゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、

前記第 1 および第 2 の素子領域において前記シリコン膜を残し、前記メモリセル領域において選択的に前記シリコン膜をパターニングして、第 3 のゲート電極を形成する工程と、

前記メモリセル領域において前記第 3 のゲート電極を覆うように、また前記第 1 および第 2 の素子領域において前記シリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記第 3 のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第 3 のゲート電極の両側に拡散領域を形成する工程と、

前記第 1 および第 2 の素子領域において前記シリコン膜をパターニングし、第 1 および第 2 のゲート電極をそれぞれ形成する工程と、

前記第 1 および第 2 の素子領域において、前記第 1 および第 2 のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする

半導体集積回路装置の製造方法。

【 0 0 9 3 】

(付記 1 4) メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、

前記論理素子領域において前記シリコン膜を残し、前期メモリセル領域において選択的に前記シリコン膜をパターニングして、第 1 のゲート電極を形成する工程と、

前記メモリセル領域において前記第 1 のゲート電極を覆うように、また前記論理素子領域において前記シリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記第 1 のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第 1 のゲート電極の両側に拡散領域を形成する工程と、

前記論理素子領域において前記シリコン膜をパターニングし、第 2 のゲート電極を形成する工程と、

前記論理素子領域において、前記第 2 のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【 0 0 9 4 】

(付記 1 5) 前記アモルファスシリコン膜を堆積する工程は、前記メモリセル領域および前記第 1 の素子領域および前記第 2 の素子領域において、同時に実行されることを特徴とする付記 1 3 記載の半導体集積回路装置の製造方法。

【 0 0 9 5 】

(付記 1 6) 前記シリコン膜を堆積する工程は、前記メモリセル領域および前記論理素子領域において、同時に実行されることを特徴とする付記 1 4 記載の半導体装置集積回路装置の製造方法。

【0 0 9 6】

(付記 1 7) 前記保護酸化膜を形成する工程は、熱酸化処理工程よりなり、前記保護酸化膜は、熱酸化膜よりなることを特徴とする付記 8 ~ 1 1 または 1 3 ~ 1 6 記載のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【0 0 9 7】

(付記 1 8) 前記メモリセル領域において前記第 3 のゲート電極の両側に拡散領域を形成する工程は、レジストマスクを使うことなく実行されることを特徴とする付記 1 3 または 1 5 または 1 7 記載の半導体集積回路装置の製造方法。

【0 0 9 8】

(付記 1 9) 前記第 1 および第 2 の素子領域におけるイオン注入工程は、前記メモリセル領域をレジストマスクにより保護した状態で実行されることを特徴とする付記 8 ~ 1 8 のうち、いずれか一項記載の半導体装置集積回路装置の製造方法。

【0 0 9 9】

(付記 2 0) 前記ゲート電極および前記第 1 のゲート電極および前記第 2 のゲート電極および前記コントロールゲート電極は、n 型あるいは p 型にドーピングされたシリコン膜を含むポリサイド構造あるいはポリメタル構造を有することを特徴とする付記 8 ~ 1 9 のうち、いずれか一項記載の半導体装置集積回路装置の製造方法。

【0 1 0 0】

【発明の効果】

本発明によれば、前記第 1 あるいは第 2 の素子領域においてゲート電極をパターンニングするよりも前に、フラッシュメモリセル領域において積層ゲート電極構造あるいはフローティングゲート電極を覆うように保護酸化膜が形成されるため、かかる保護酸化膜形成に伴って前記素子領域中においてゲート電極中に侵入するバズピーク構造が形成されることがなく、従って前記素子領域中における半

導体装置のしきい値特性が変化する問題が回避される。また、本発明によれば、前記フラッシュメモリセル中においてイオン注入工程により拡散領域を形成する際に、前記素子領域がアモルファスシリコン膜で覆われた状態であるため、かかるアモルファスシリコン膜をマスクとすることにより、レジスト工程を省略することが可能になる。

【図面の簡単な説明】

【図 1】

(A)，(B) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その 1）である。

【図 2】

(C)，(D) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その 2）である。

【図 3】

(E)，(F) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その 3）である。

【図 4】

(G)，(H) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その 4）である。

【図 5】

(I)，(J) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その 5）である。

【図 6】

(K)，(L) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その 6）である。

【図 7】

(M)，(N) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その 7）である。

【図 8】

(O)，(P) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体

集積回路装置の製造工程を示す図（その 8）である。

【図 9】

（Q）は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その 8）である。

【図 1 0】

（A），（B）は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の課題を説明する図である。

【図 1 1】

（A），（B）は、従来の積層ゲート構造フラッシュメモリ装置で使われる保護酸化膜の役割を説明する図である。

【図 1 2】

本発明の関連技術による単層ゲート構造フラッシュメモリ装置の構成を示す平面図である。

【図 1 3】

（A），（B）は、図 1 2 のフラッシュメモリ装置の構成を示す断面図である。

【図 1 4】

（A）～（D）は、図 1 2 のフラッシュメモリ装置の書き込みおよび消去動作を説明する図である。

【図 1 5】

（A），（B）は、図 1 2 の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その 1）である。

【図 1 6】

（C），（D）は、図 1 2 の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その 2）である。

【図 1 7】

（E），（F）は、図 1 2 の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その 3）である。

【図 1 8】

(G), (H) は、図 1 2 の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図 (その 4) である。

【図 1 9】

(I), (J) は、図 1 2 の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図 (その 5) である。

【図 2 0】

(K), (L) は、図 1 2 の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図 (その 6) である。

【図 2 1】

(M) は、図 1 2 の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図 (その 7) である。

【図 2 2】

(A), (B) は、図 1 2 の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の課題を示す図である。

【図 2 3】

(A), (B) は、本発明の第 1 実施例による半導体集積回路装置の製造工程を示す図 (その 1) である。

【図 2 4】

(C), (D) は、本発明の第 1 実施例による半導体集積回路装置の製造工程を示す図 (その 2) である。

【図 2 5】

(E), (F) は、本発明の第 1 実施例による半導体集積回路装置の製造工程を示す図 (その 3) である。

【図 2 6】

(G), (H) は、本発明の第 1 実施例による半導体集積回路装置の製造工程を示す図 (その 4) である。

【図 2 7】

(I) は、本発明の第 1 実施例による半導体集積回路装置の製造工程を示す図 (その 5) である。

【図 2 8】

(A), (B) は、本発明の第 1 実施例の効果を説明する図である。

【図 2 9】

(A), (B) は、第 1 実施例の別の効果を説明する図である。

【図 3 0】

(A), (B) は、本発明の第 2 実施例による半導体集積回路装置の製造工程を示す図（その 1）である。

【図 3 1】

(C), (D) は、本発明の第 2 実施例による半導体集積回路装置の製造工程を示す図（その 2）である。

【図 3 2】

(E), (F) は、本発明の第 2 実施例による半導体集積回路装置の製造工程を示す図（その 3）である。

【図 3 3】

(G), (H) は、本発明の第 2 実施例による半導体集積回路装置の製造工程を示す図（その 4）である。

【図 3 4】

(I) は、本発明の第 2 実施例による半導体集積回路装置の製造工程を示す図（その 5）である。

【図 3 5】

(A), (B) は、本発明第 2 実施例の効果を説明する図である。

【符号の説明】

1 1 基板

1 1 a, 1 1 b, 1 1 c, 1 1 d, 1 1 e, 1 1 f 拡散領域

1 2 A トンネル酸化膜

1 2 B, 1 2 C ゲート酸化膜

1 3, 1 6 アモルファスシリコン膜

1 3 A フローティングゲート電極

1 4 ONO 膜

1 5 A, 1 5 B, 1 7 A, 1 7 B, 1 9 A ~ 1 9 E レジストパターン

1 5 ₁, 1 5 ₂ レジストパターン

1 7 ₁, 1 7 ₂, 1 7 ₃ レジストパターン

1 6 B, 1 6 C ゲート電極

1 6 F フローティングゲート電極

1 6 s 側壁酸化膜

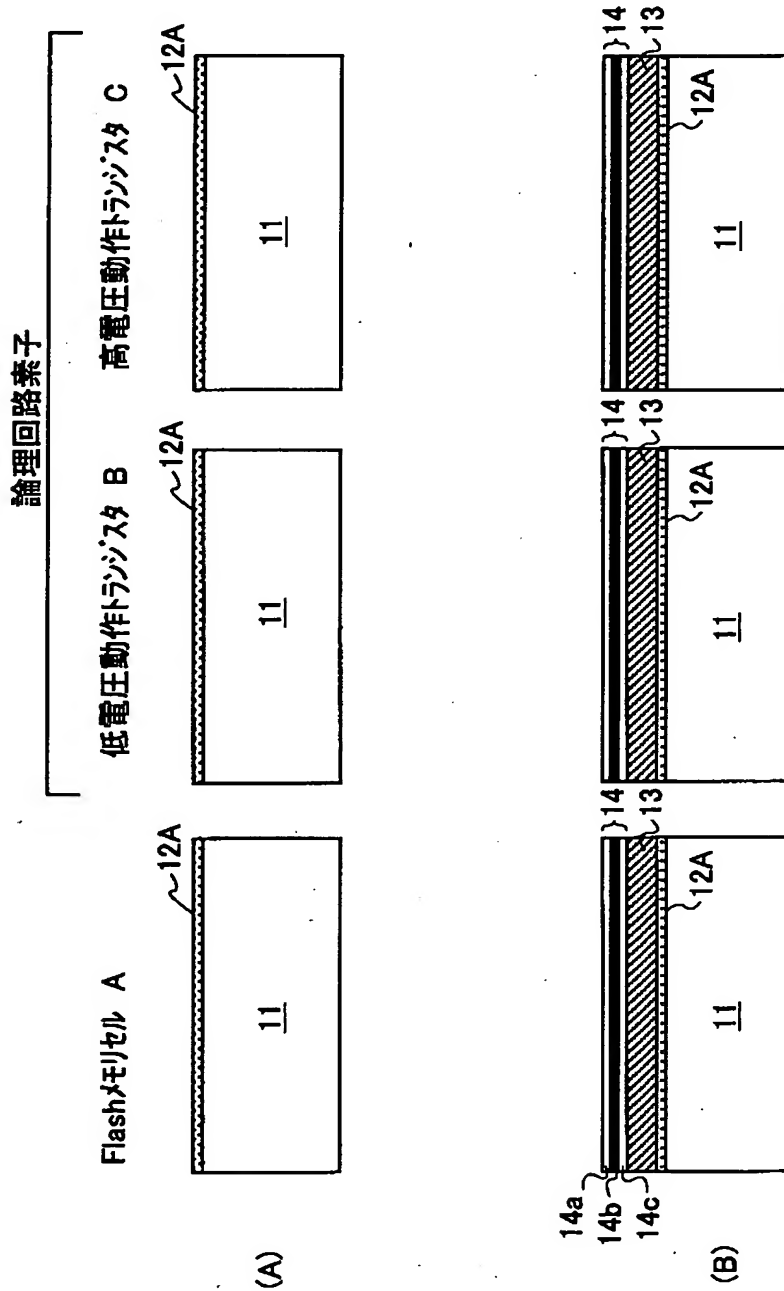
1 8 保護酸化膜

【書類名】

図面

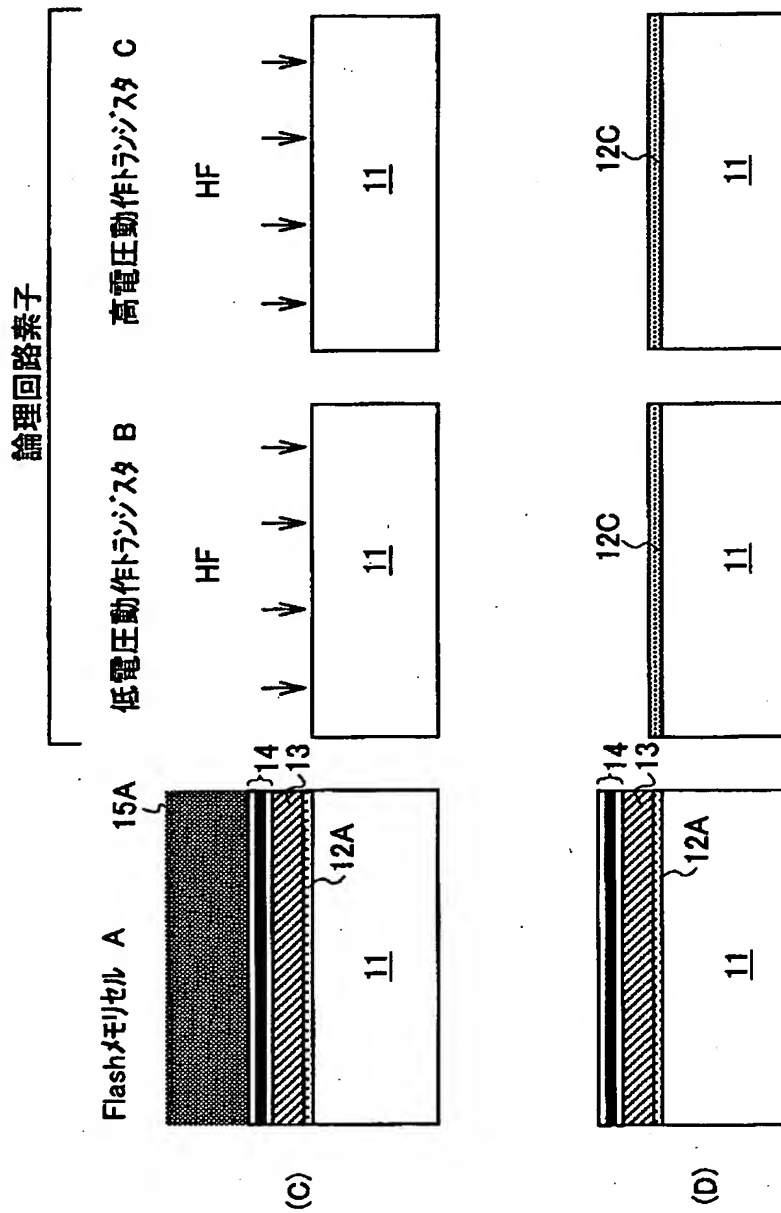
【図 1】

(A)、(B)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その1)



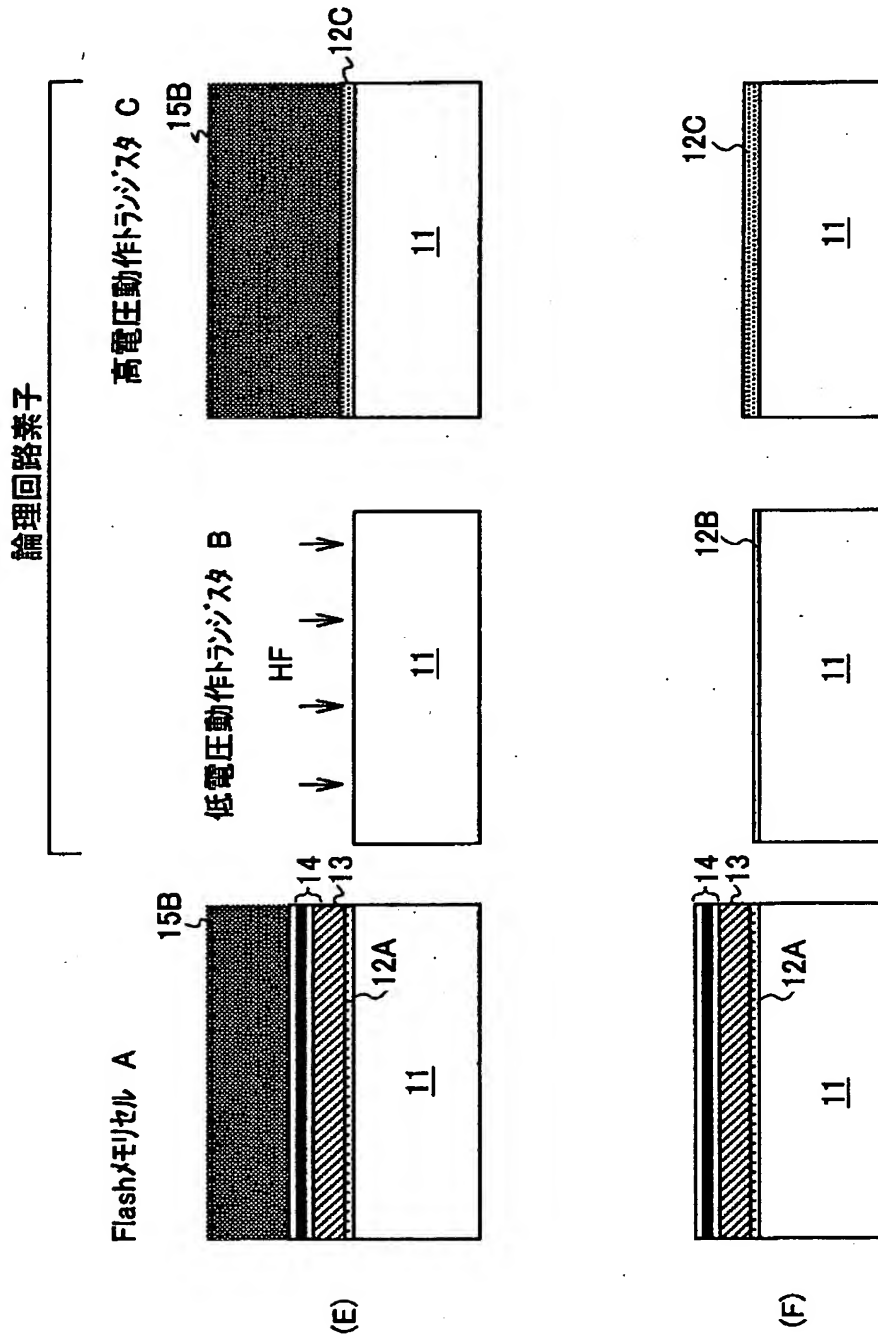
【図 2】

(C), (D)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その2)



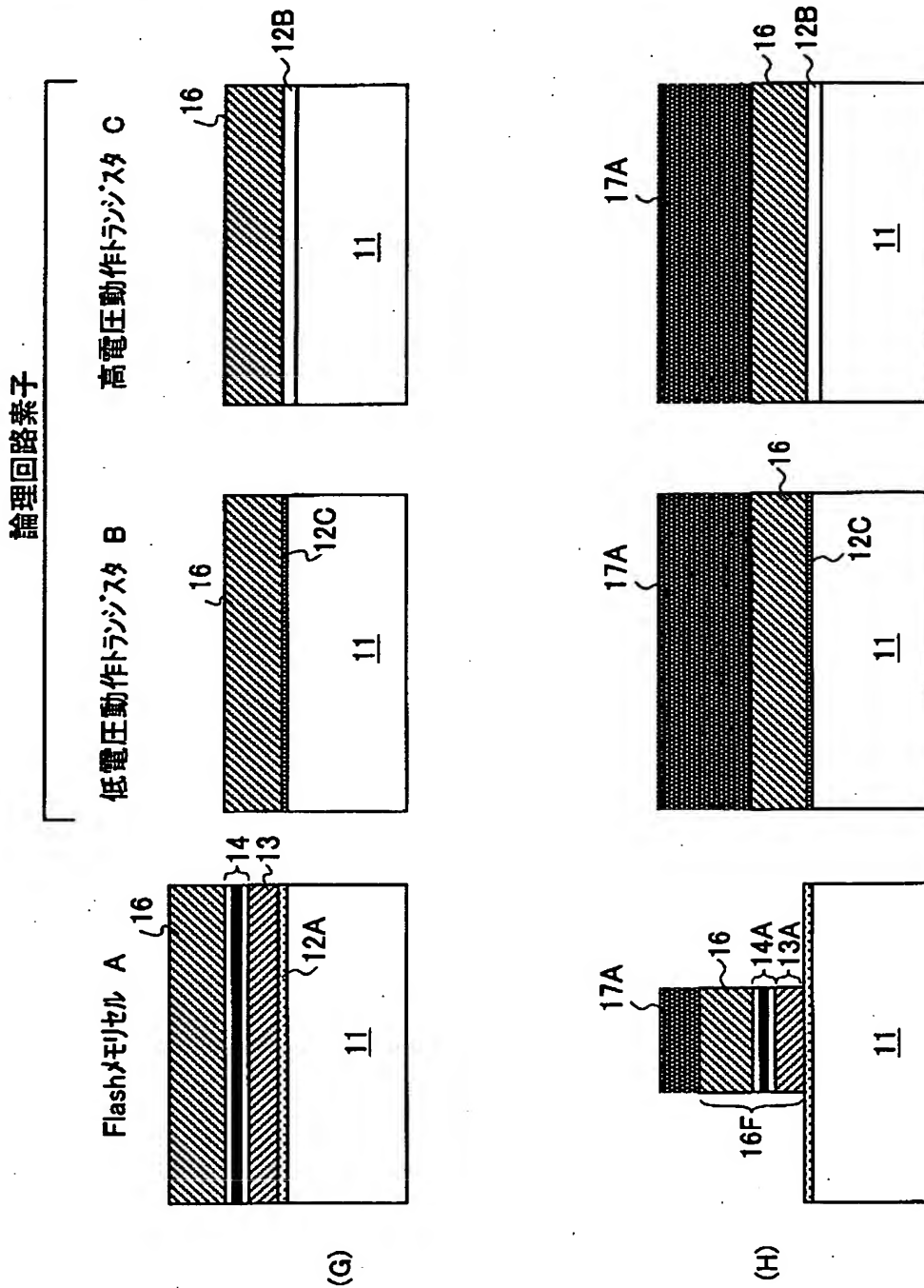
【図 3】

(E)、(F)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その3)



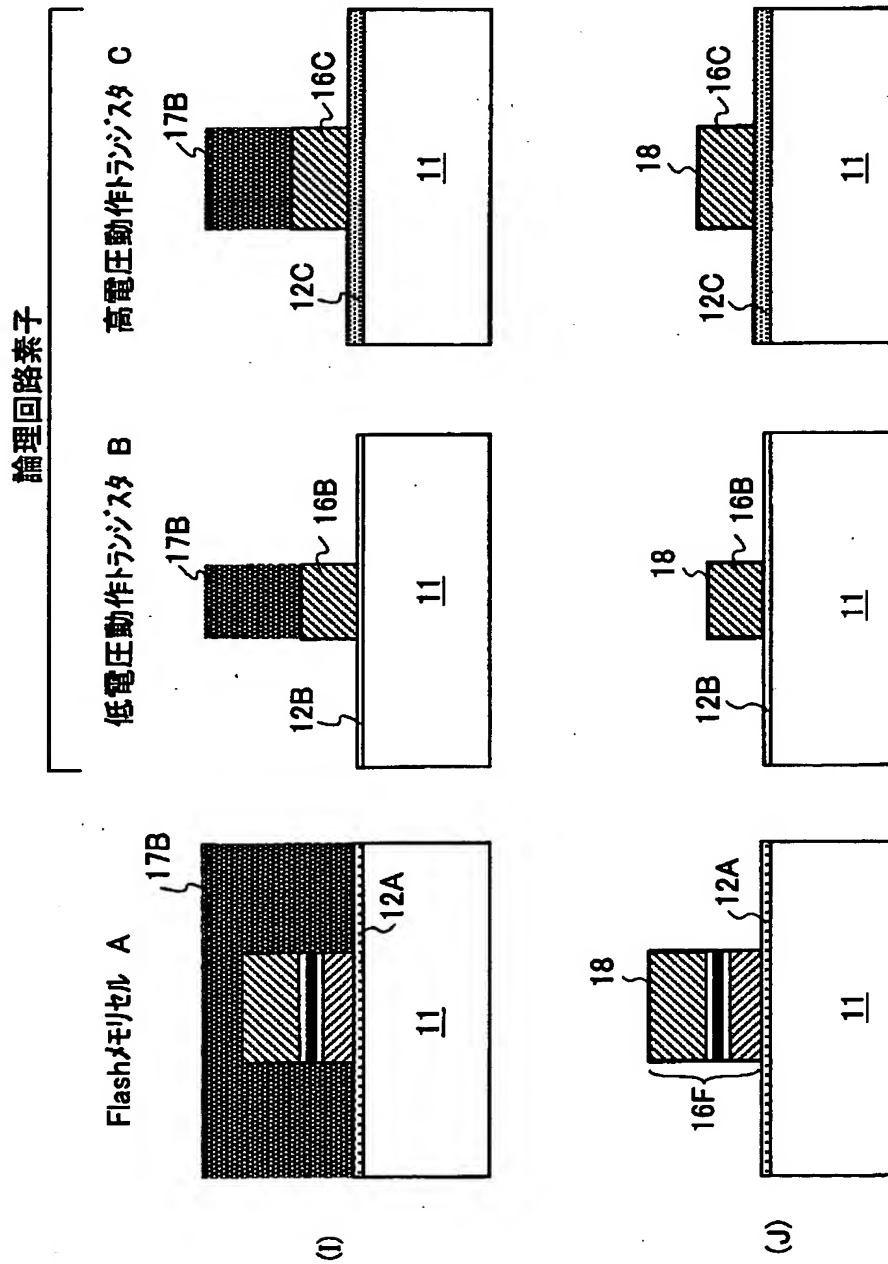
【図 4】

(G)、(H)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その4)



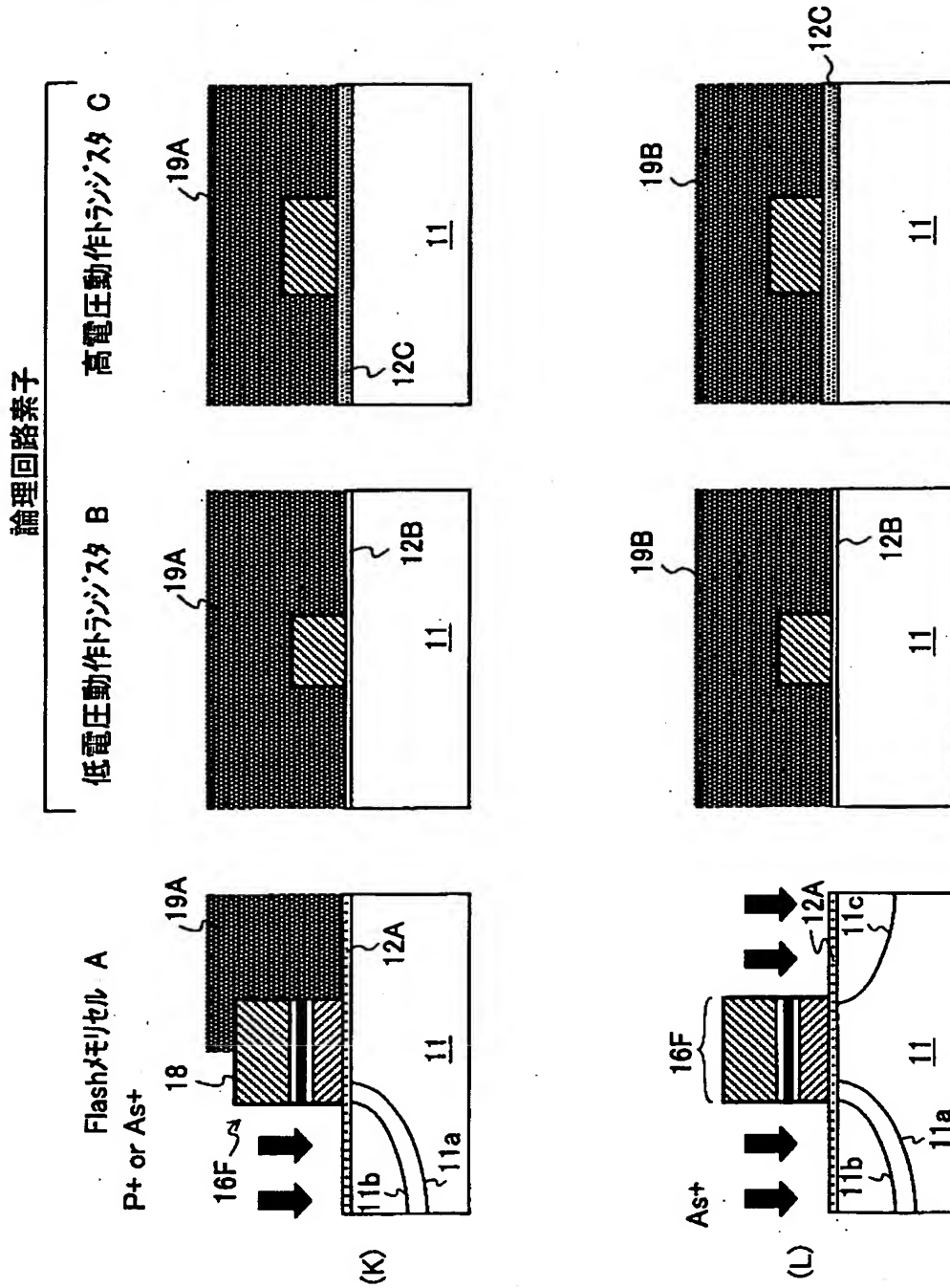
【図 5】

(I), (J)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その5)



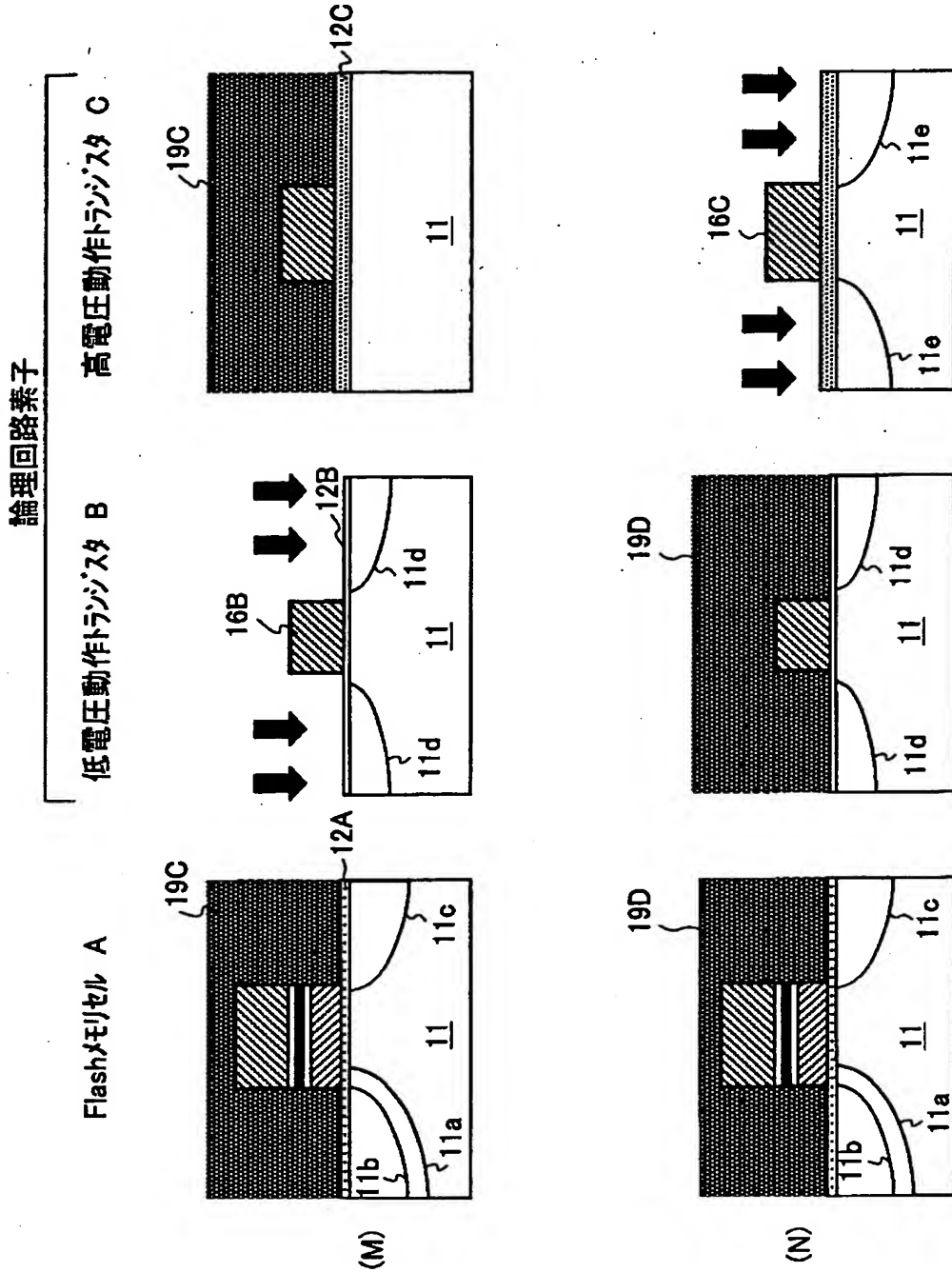
【図 6】

(K), (L)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その6)



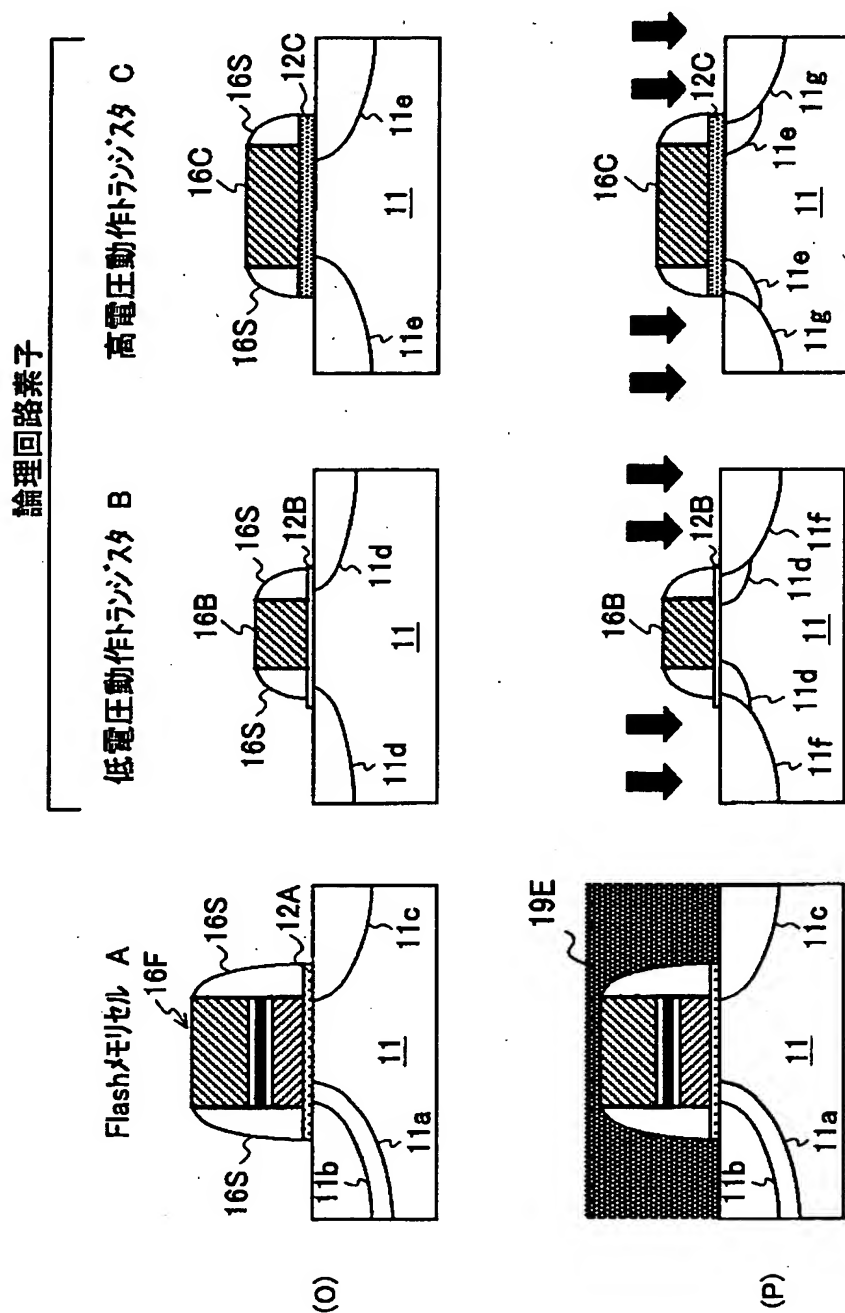
【図 7】

(M)、(N)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その7)



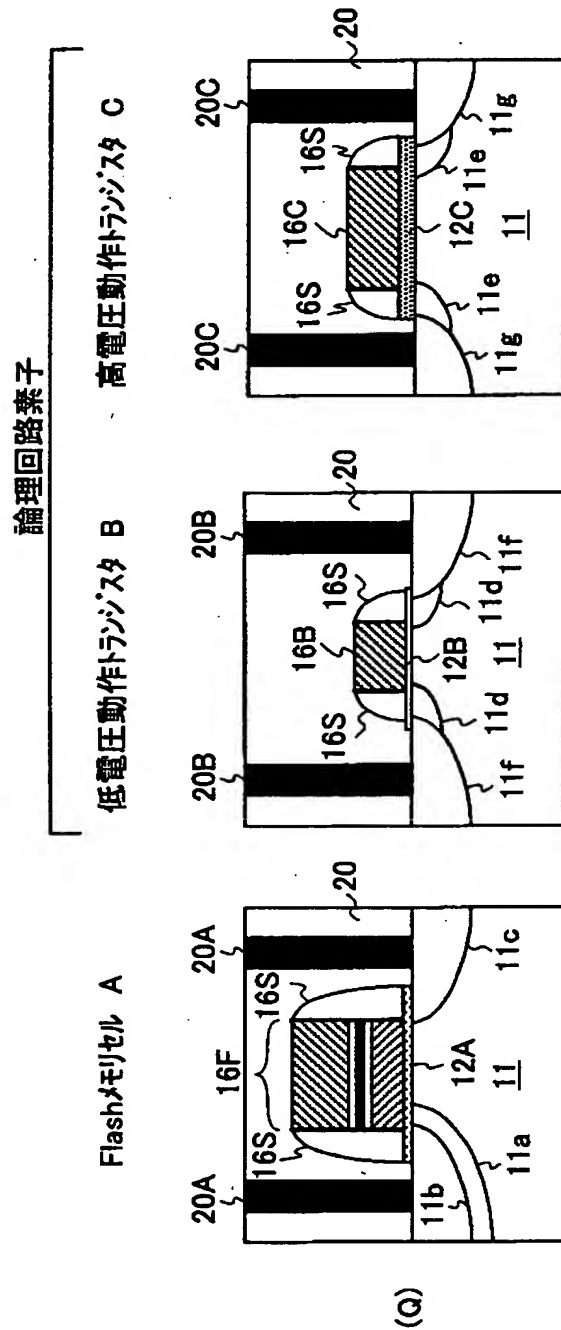
【図 8】

(O), (P)は、従来の積層ゲート構造フラッシュメモリ装置を含む
半導体集積回路装置の製造工程を示す図(その8)



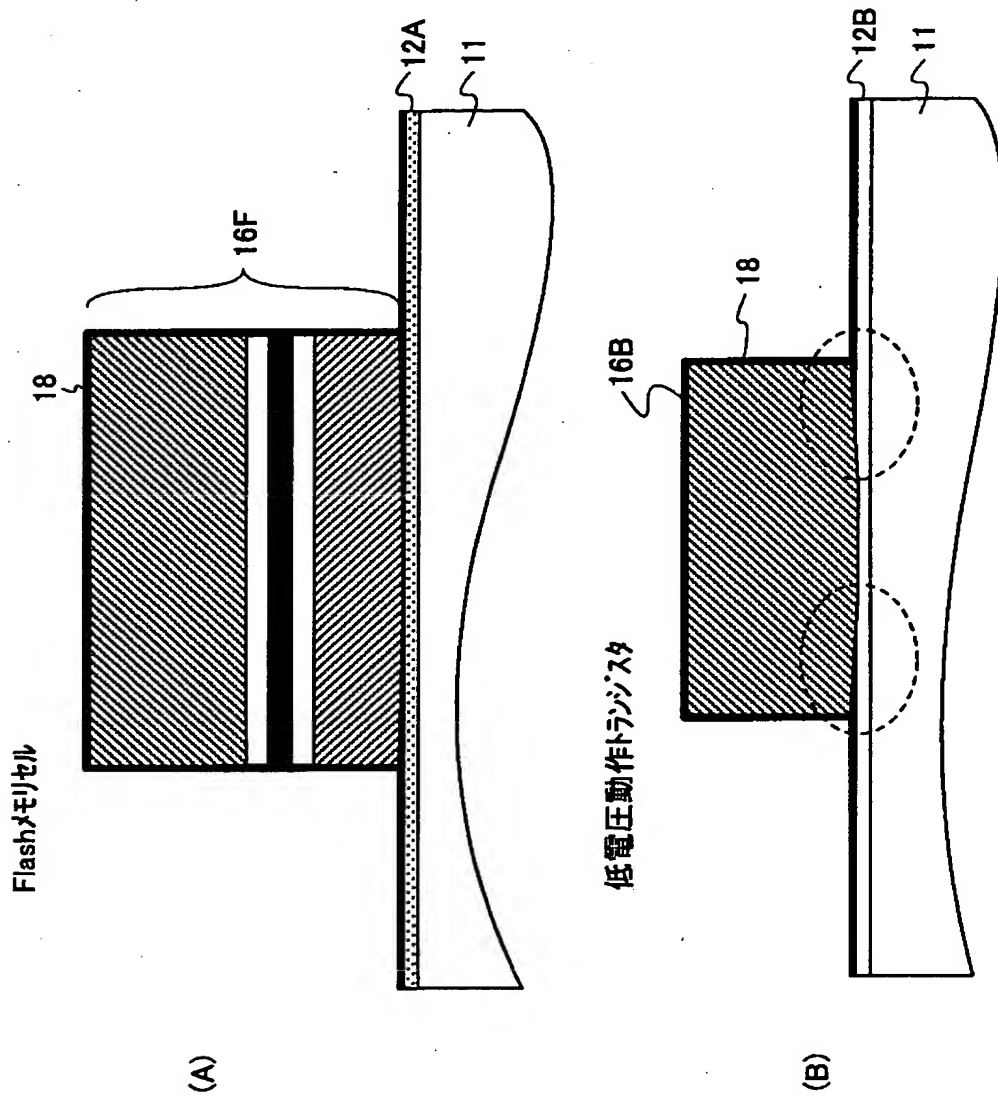
【図 9】

(Q)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その8)



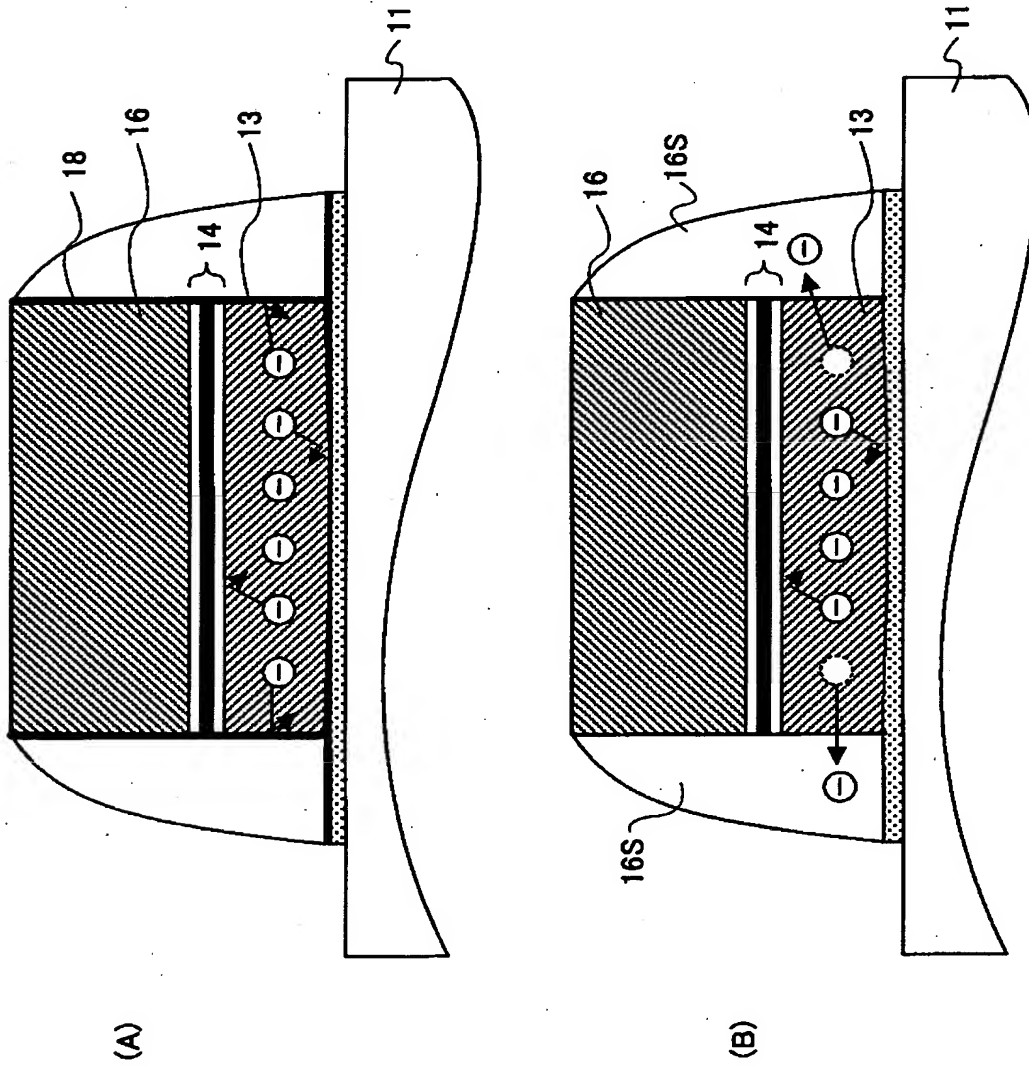
【図10】

(A)、(B)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の課題を説明する図



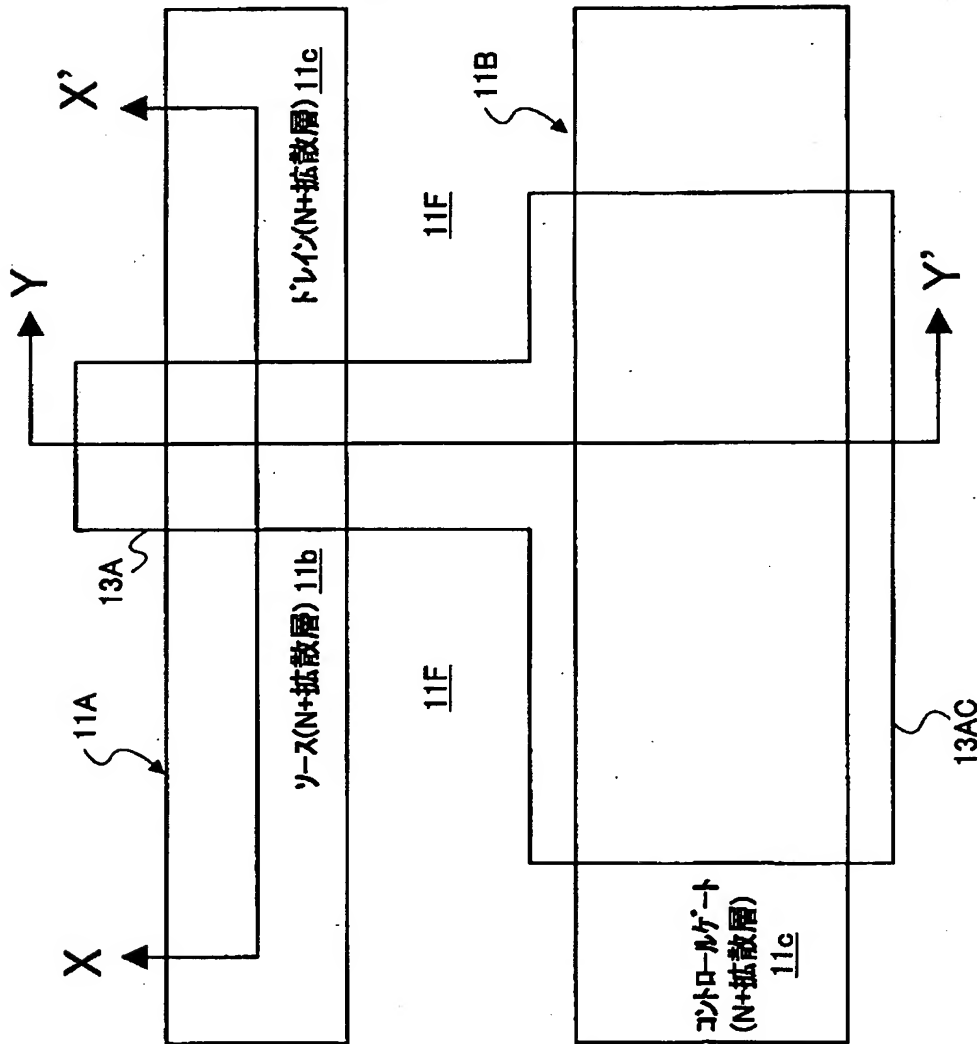
【図 11】

(A)、(B)は、従来の積層ゲート構造フラッシュメモリ装置で使われる保護酸化膜の役割を説明する図



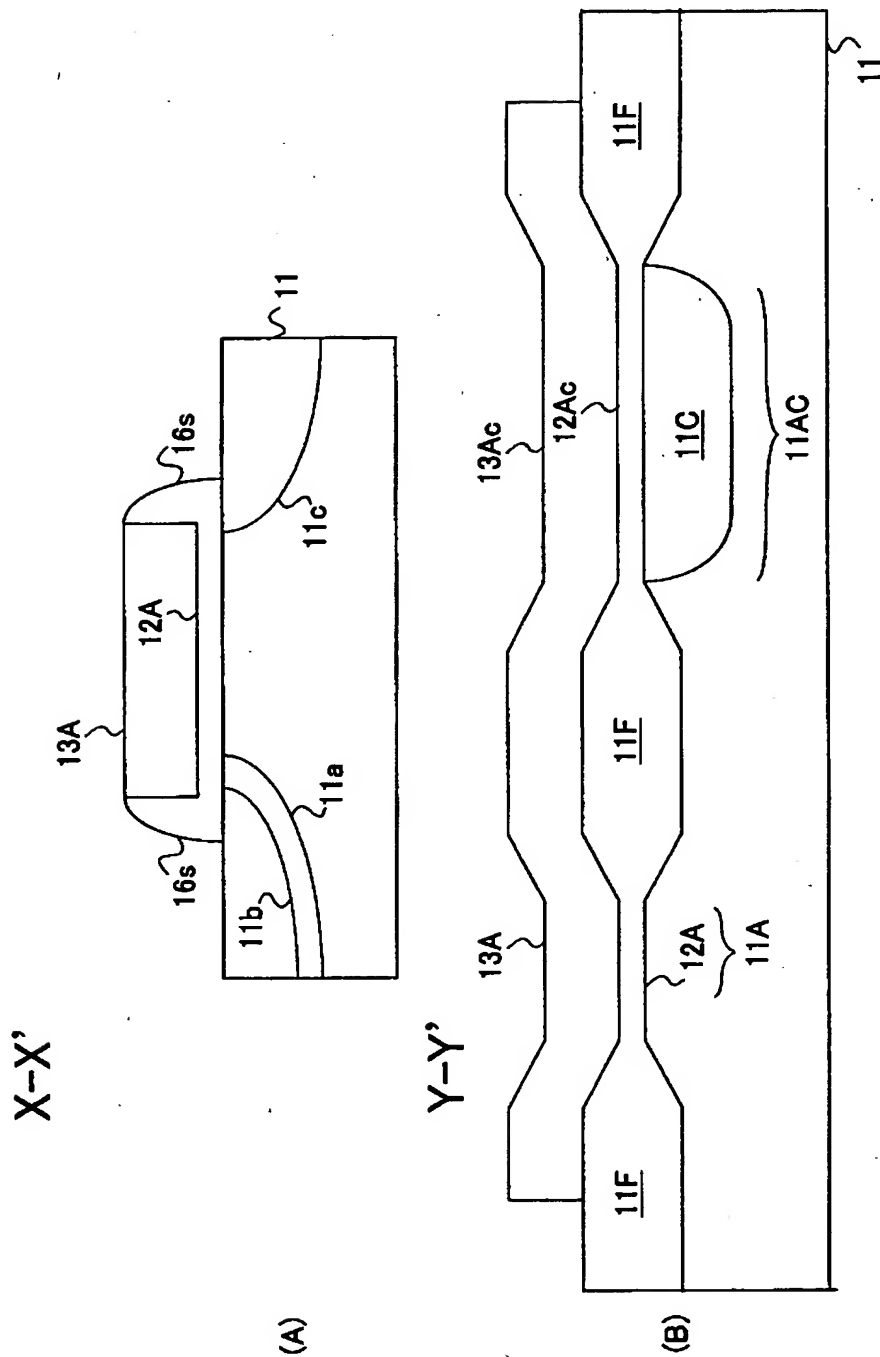
【図 12】

本発明の関連技術による単層ゲート構造
フラッシュメモリ装置の構成を示す平面図



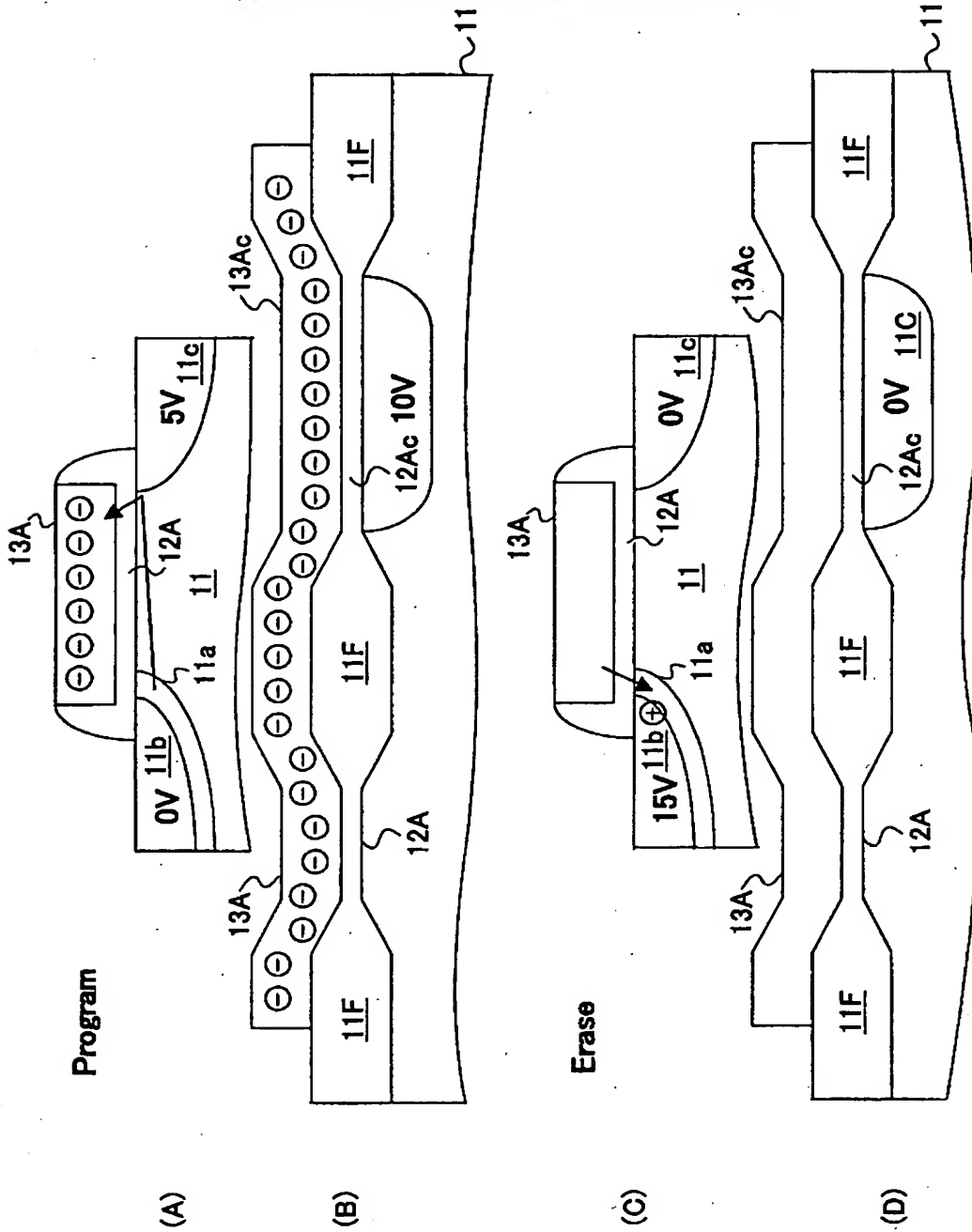
【図 13】

(A), (B)は、図12のフラッシュメモリ装置の構成を示す断面図



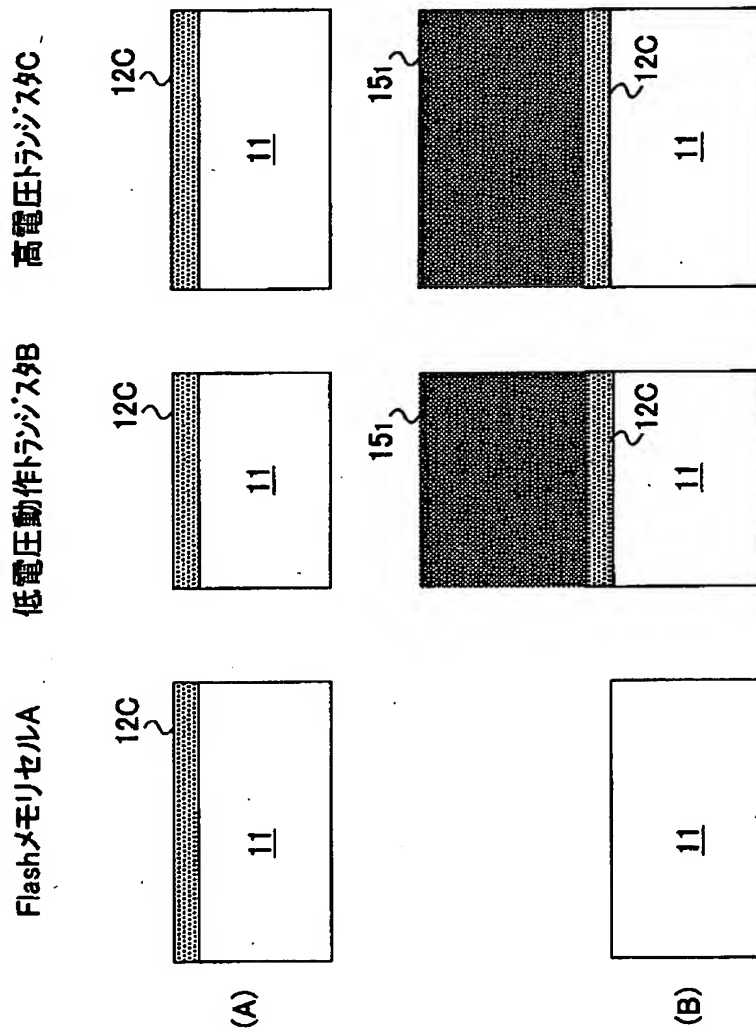
【図 14】

(A)～(D)は、図12のフラッシュメモリ装置の書き込みおよび消去動作を説明する図



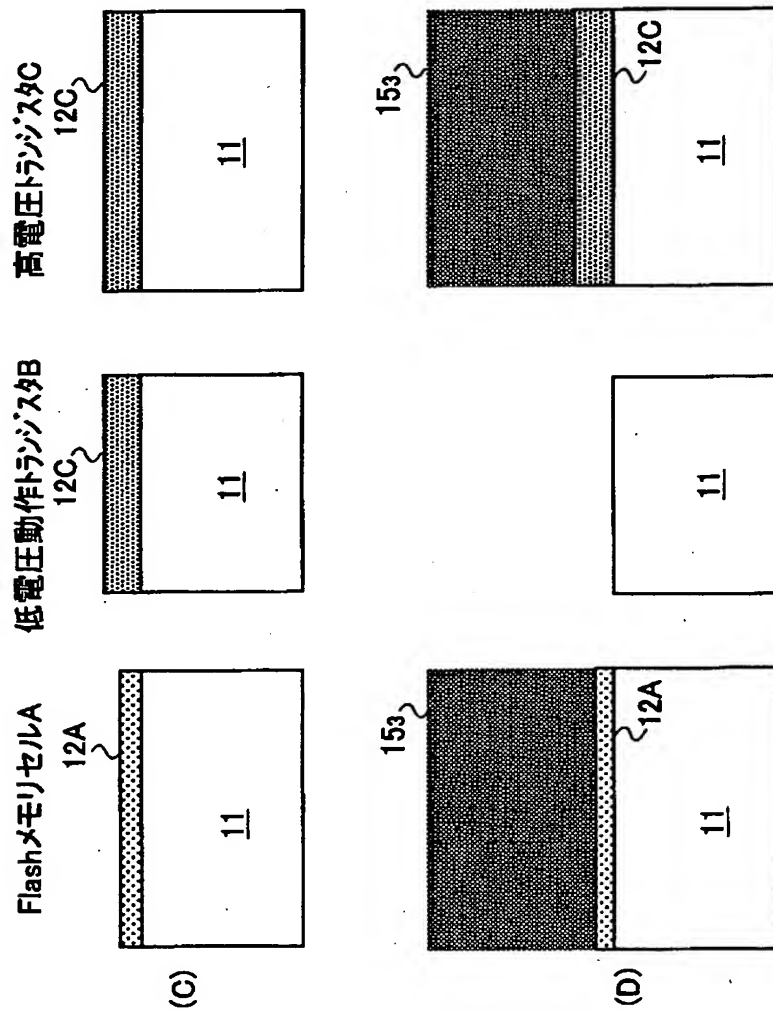
【図 15】

(A), (B)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その1)



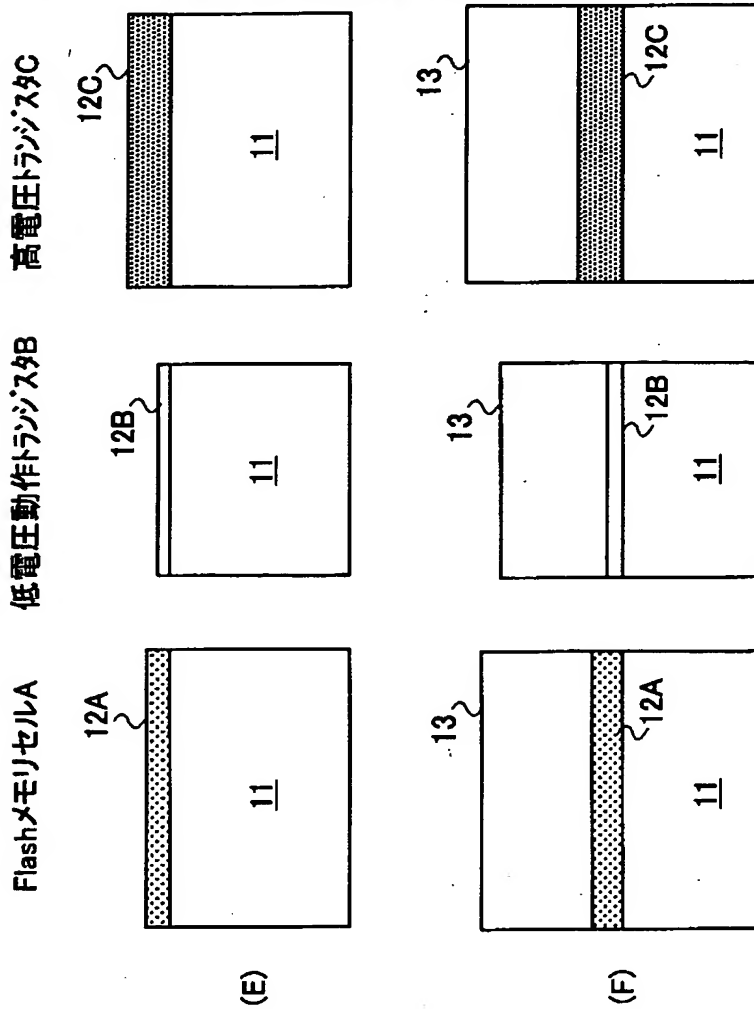
【図 16】

(C), (D)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その3)



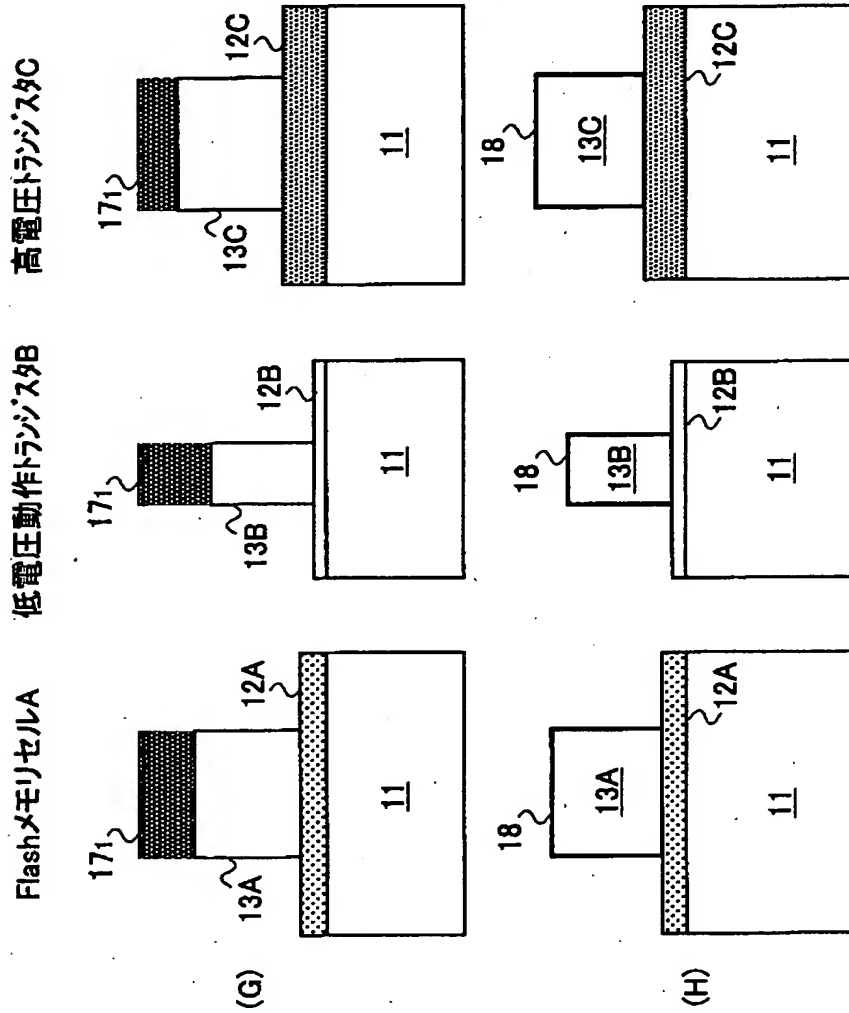
【図 1 7】

(E)、(F)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その4)



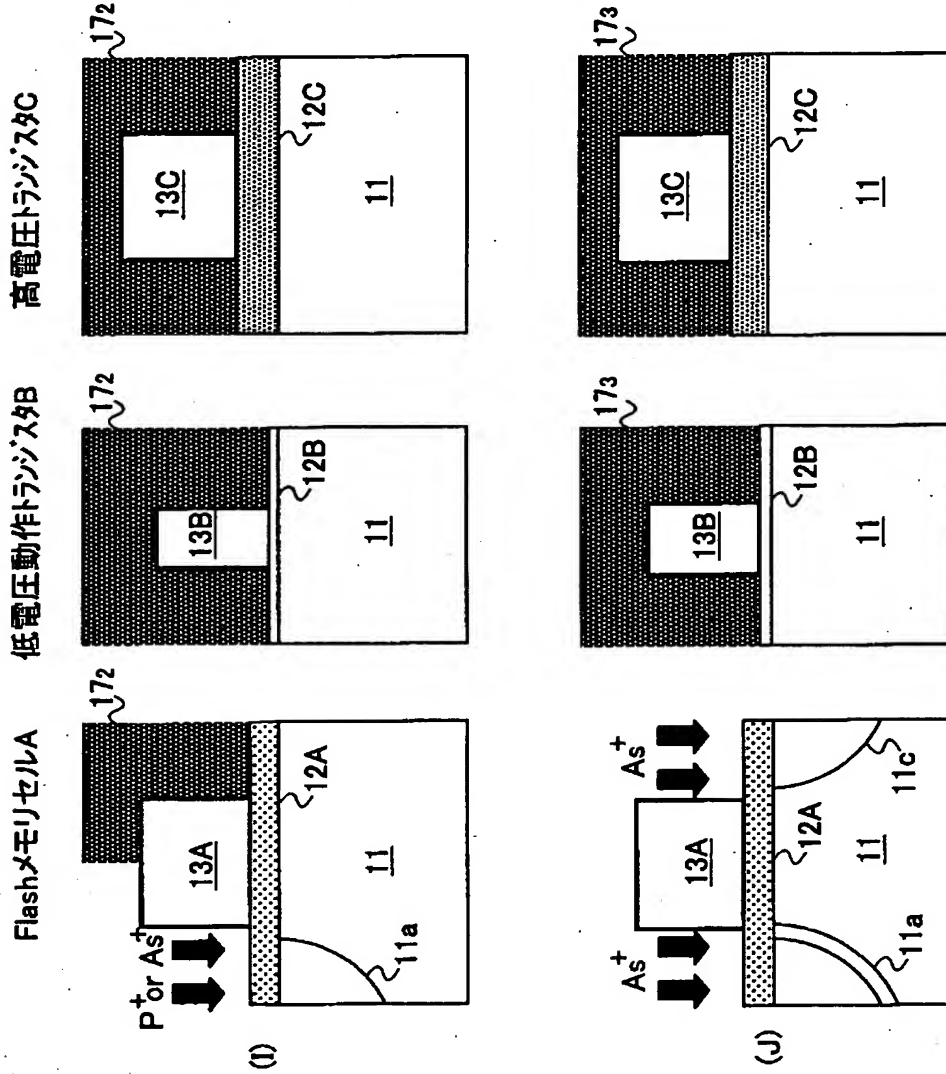
【図18】

(G)、(H)は、図12の単層ゲート構造フラッシュメモリ装置を含む
半導体集積回路装置の製造工程を示す図(その5)



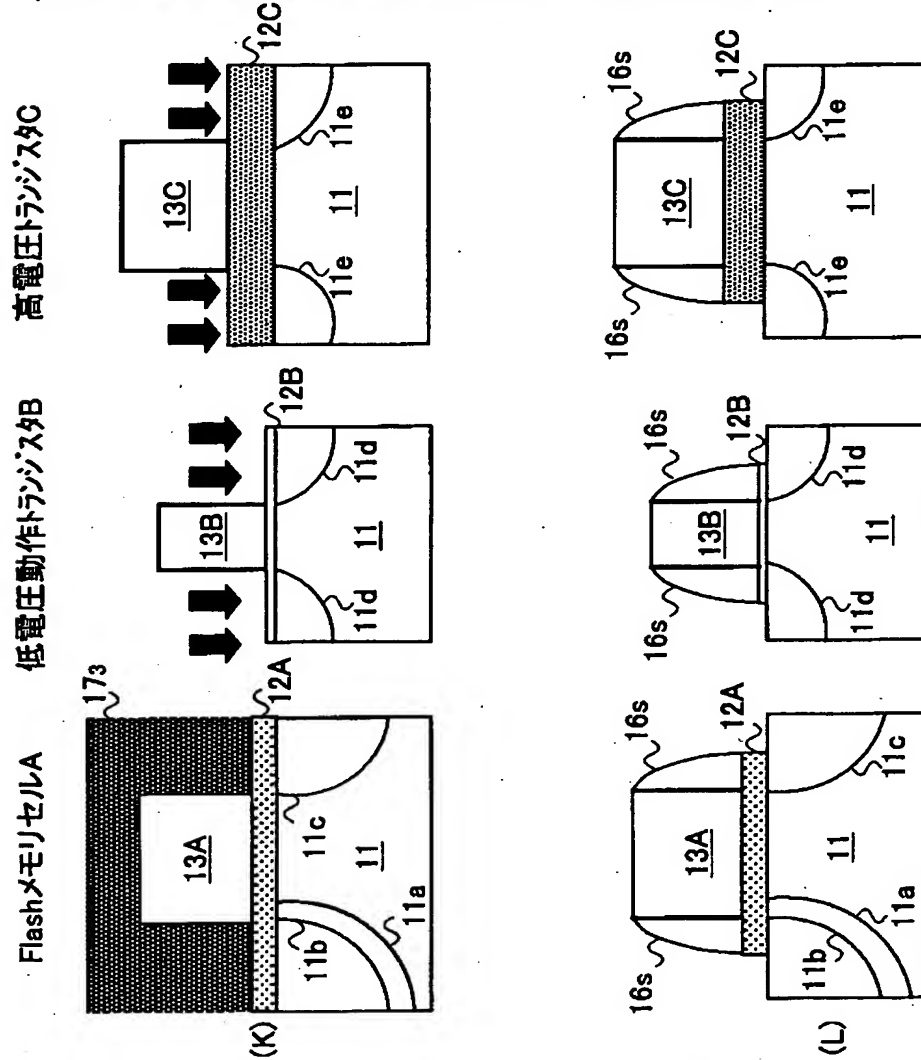
【図 19】

(I)、(J)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その6)



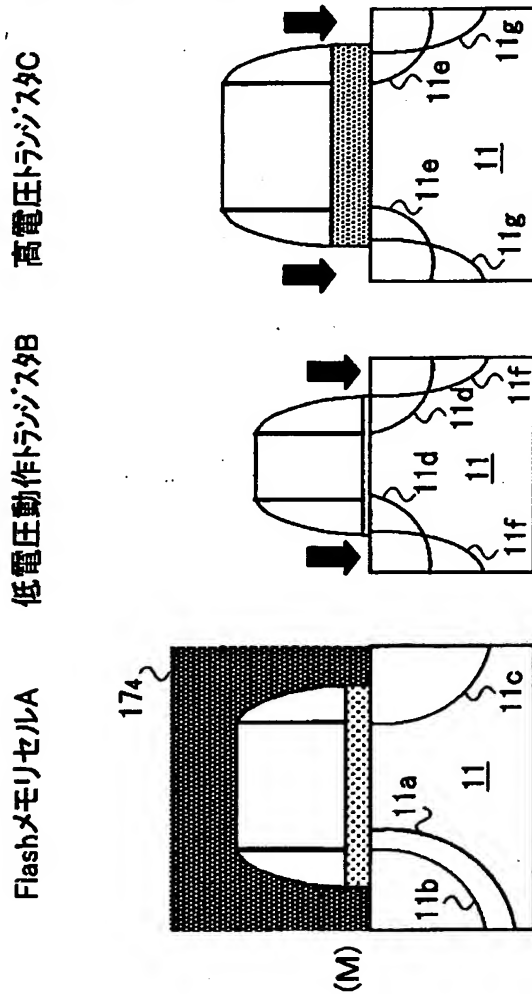
【図 20】

(K)、(L)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その7)



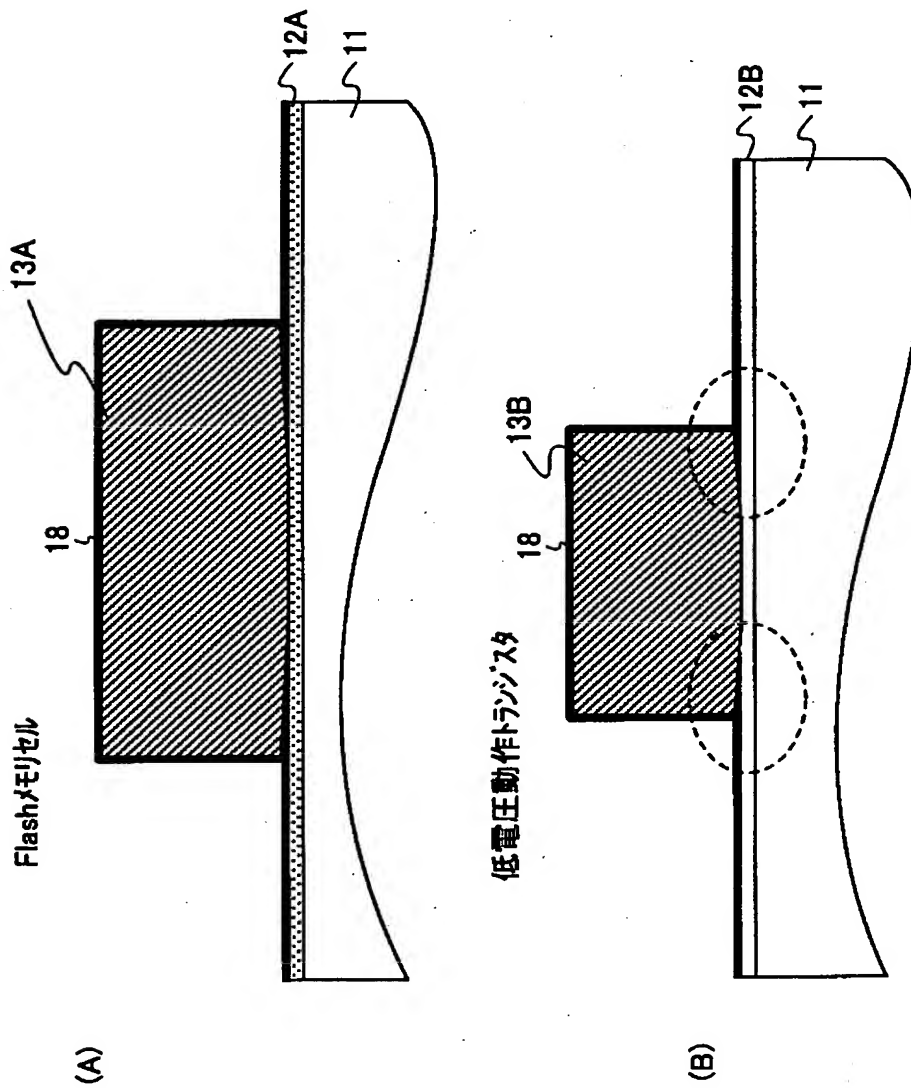
【図 21】

(M)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その8)



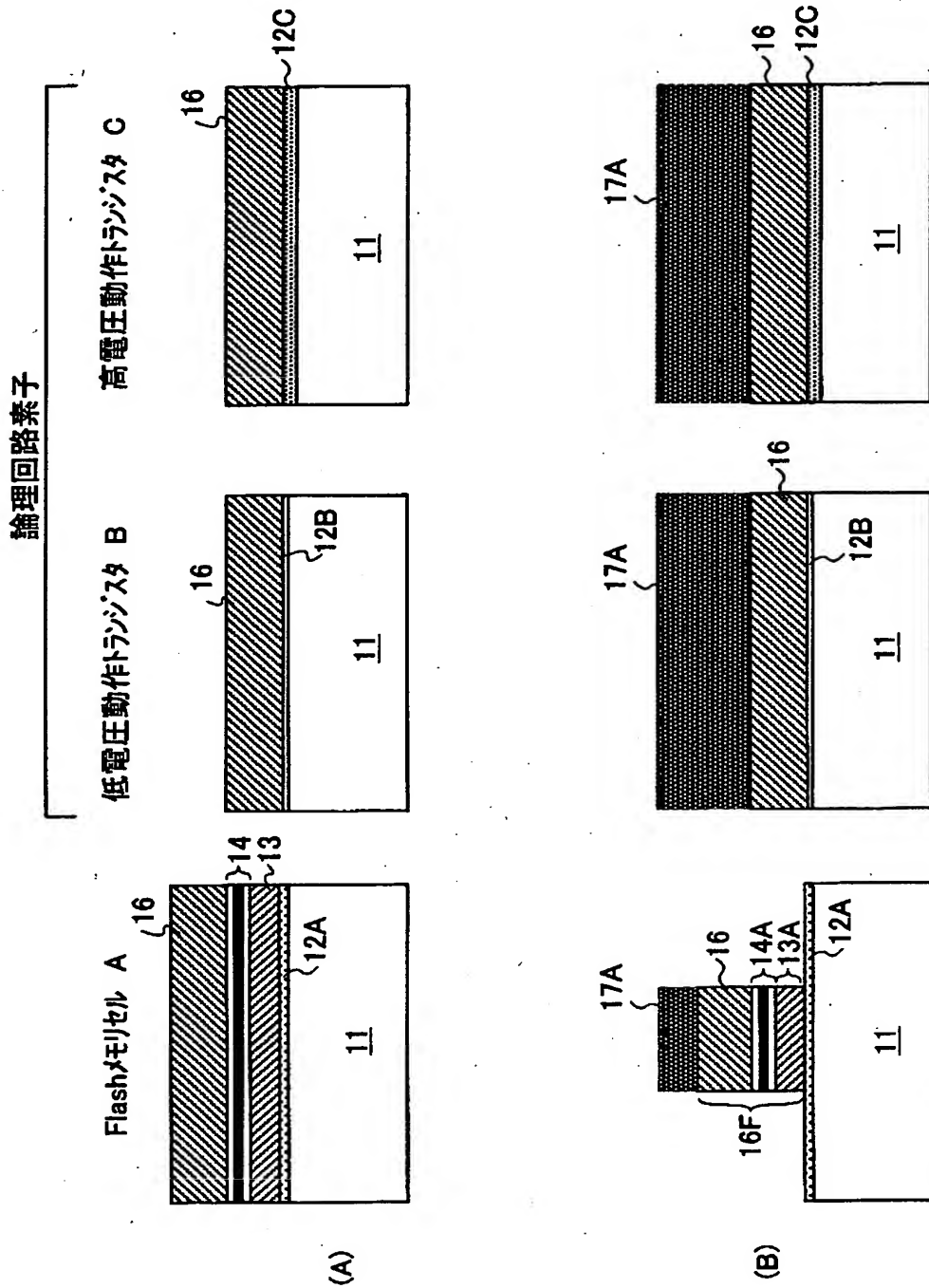
【図 22】

(A)、(B)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の課題を示す図



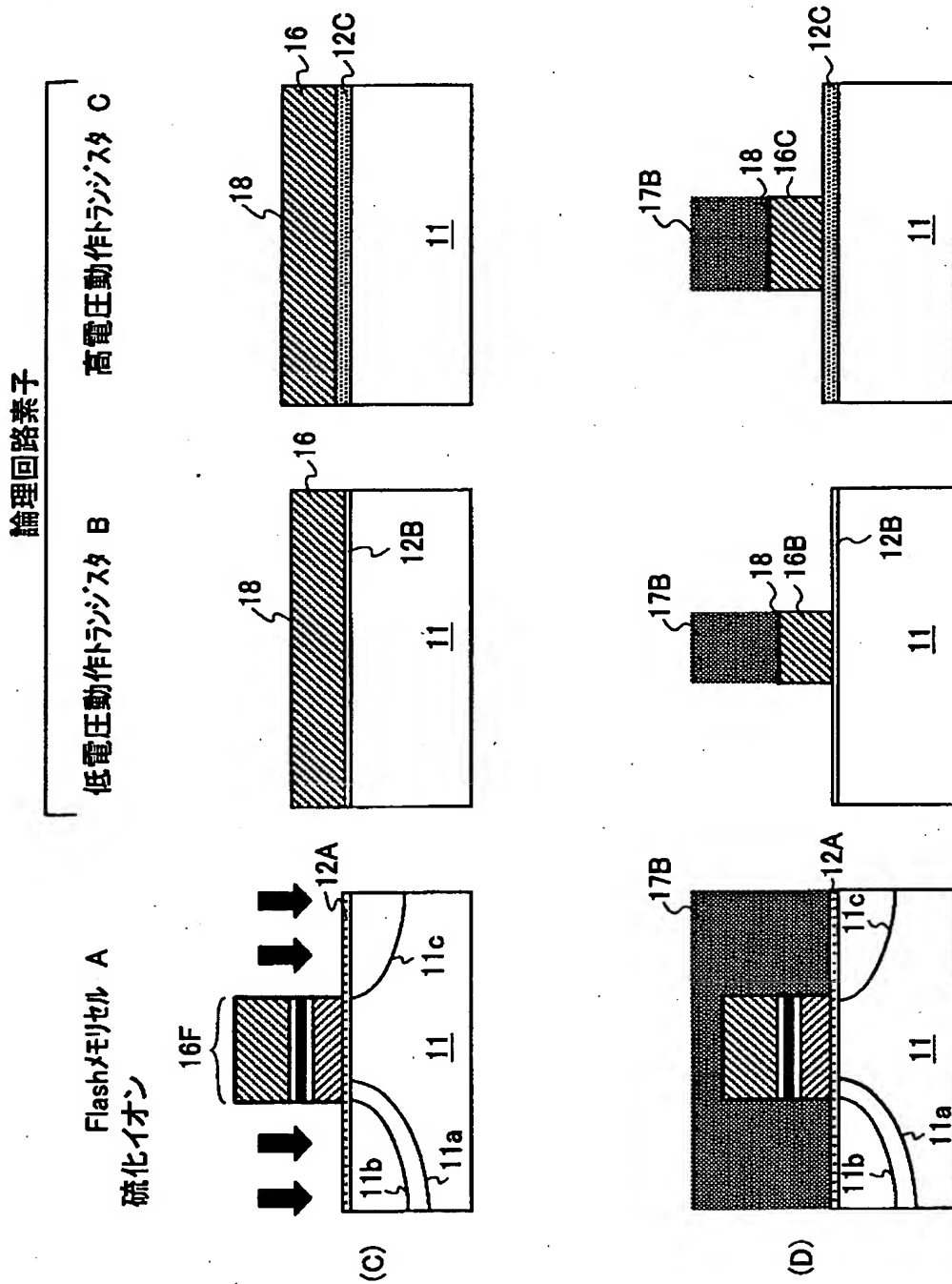
【図 23】

(A)、(B)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その1)



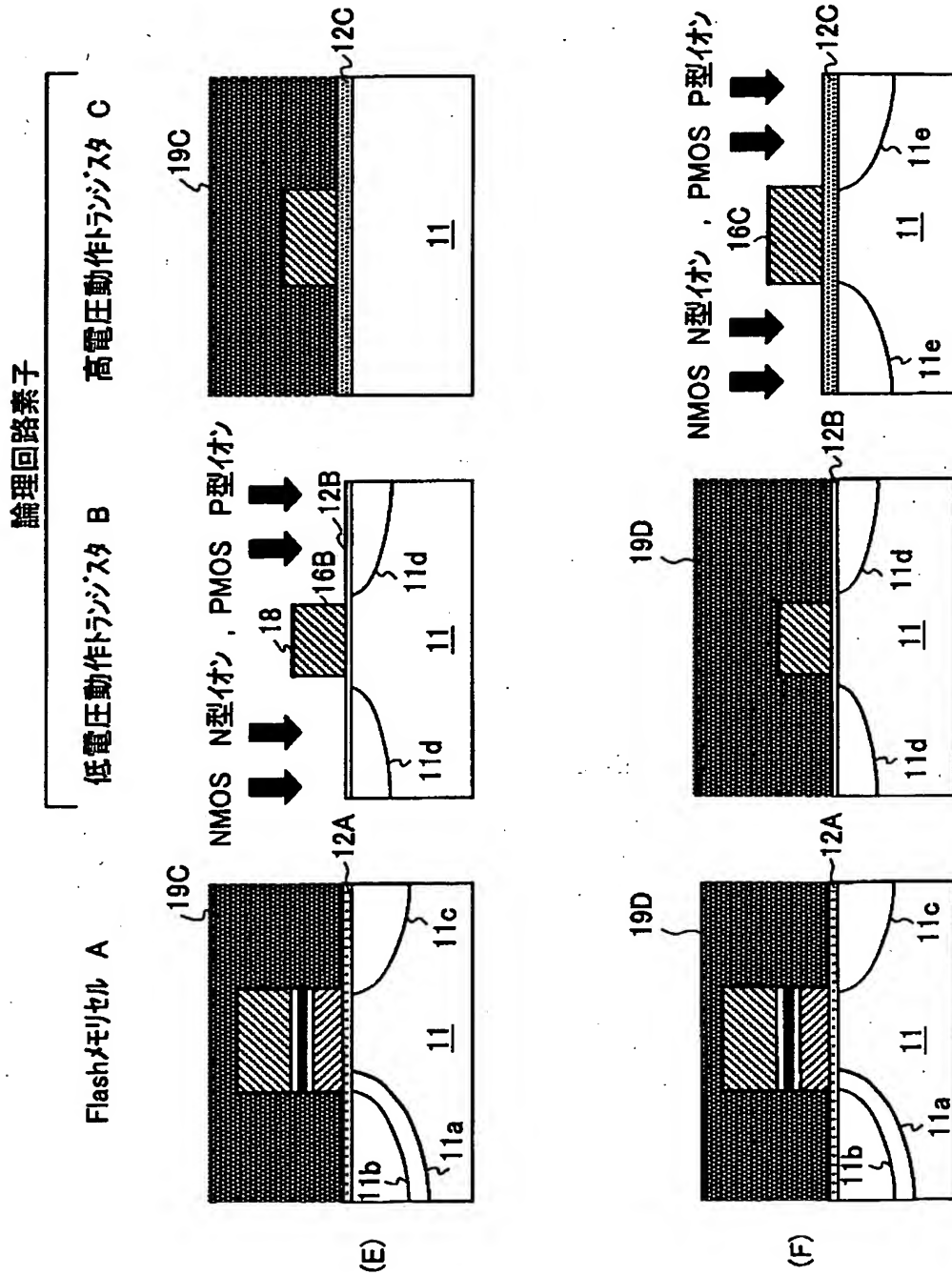
【図 24】

(C)、(D)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その2)



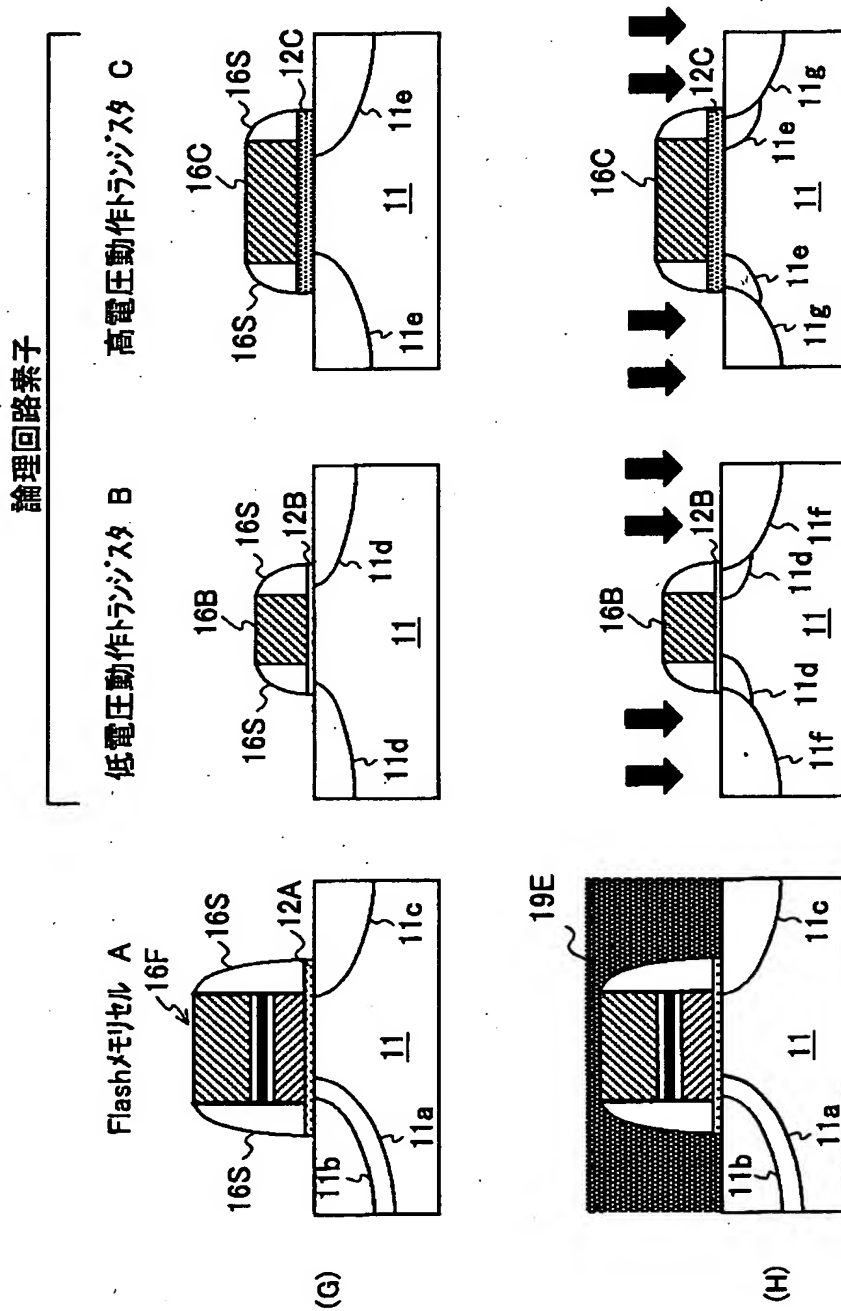
【図 25】

(E)、(F)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その3)



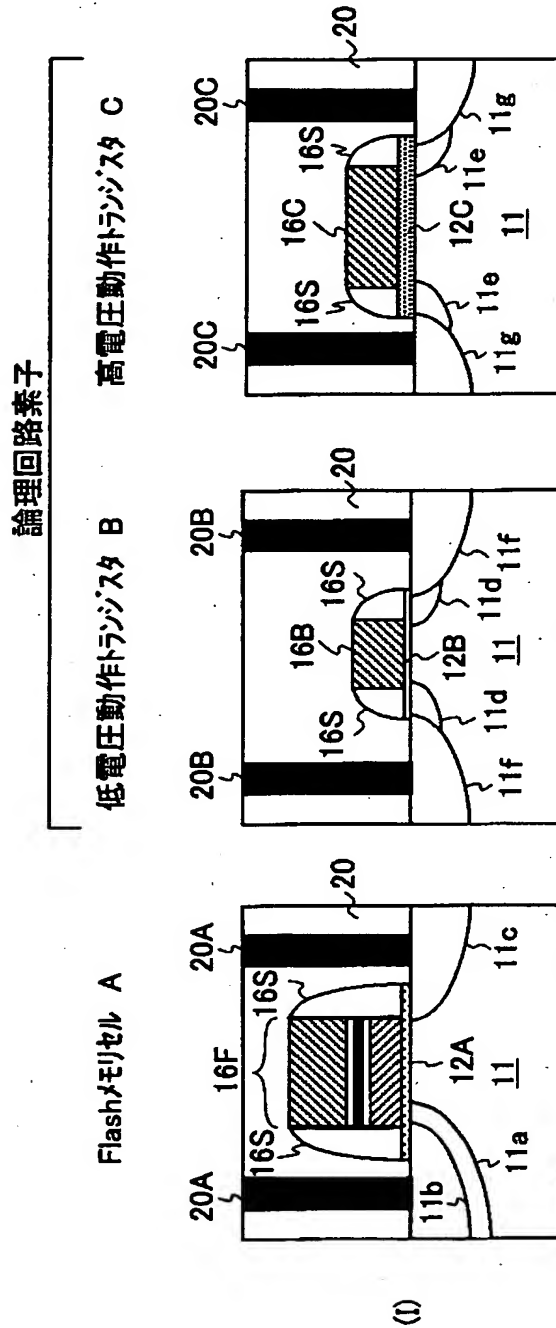
【図 26】

(G)、(H)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その4)



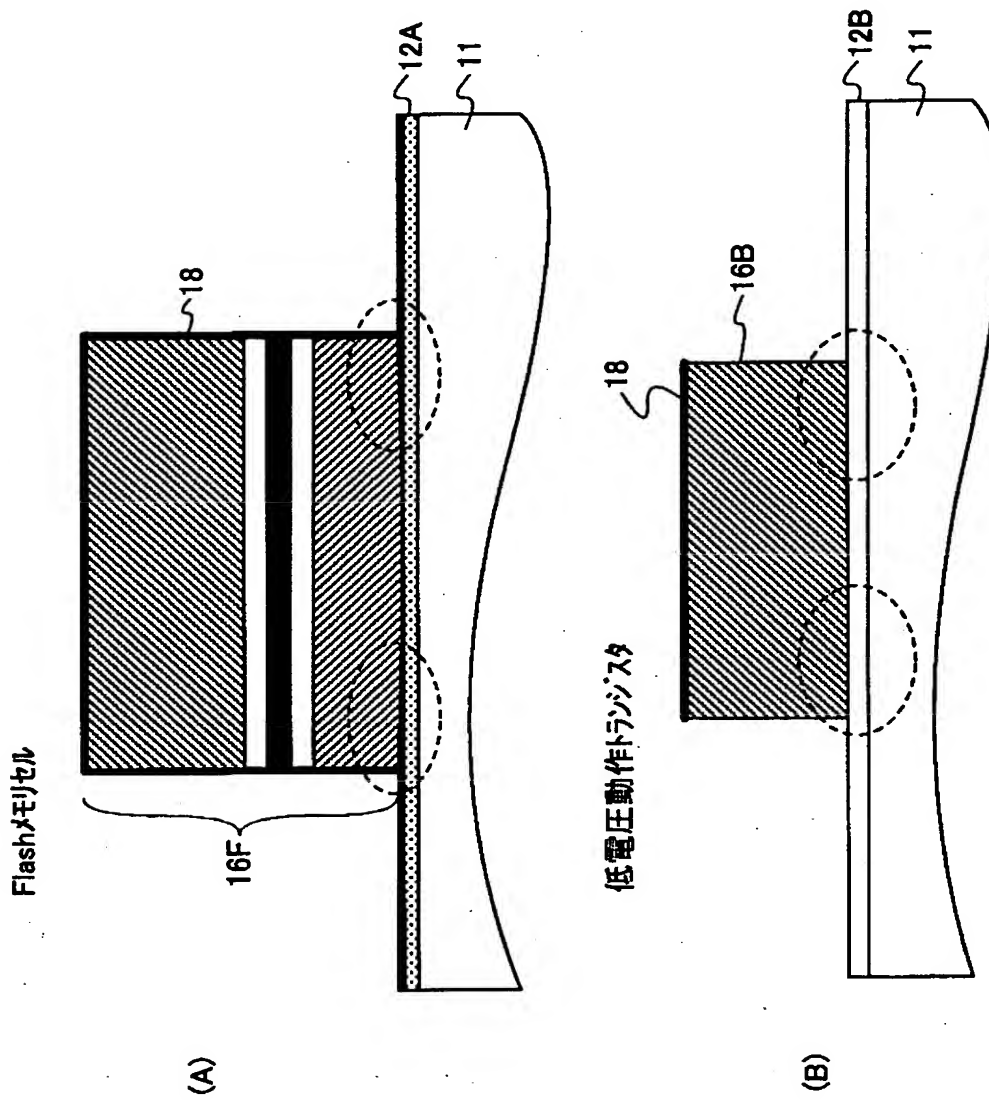
【図 27】

(I)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その5)



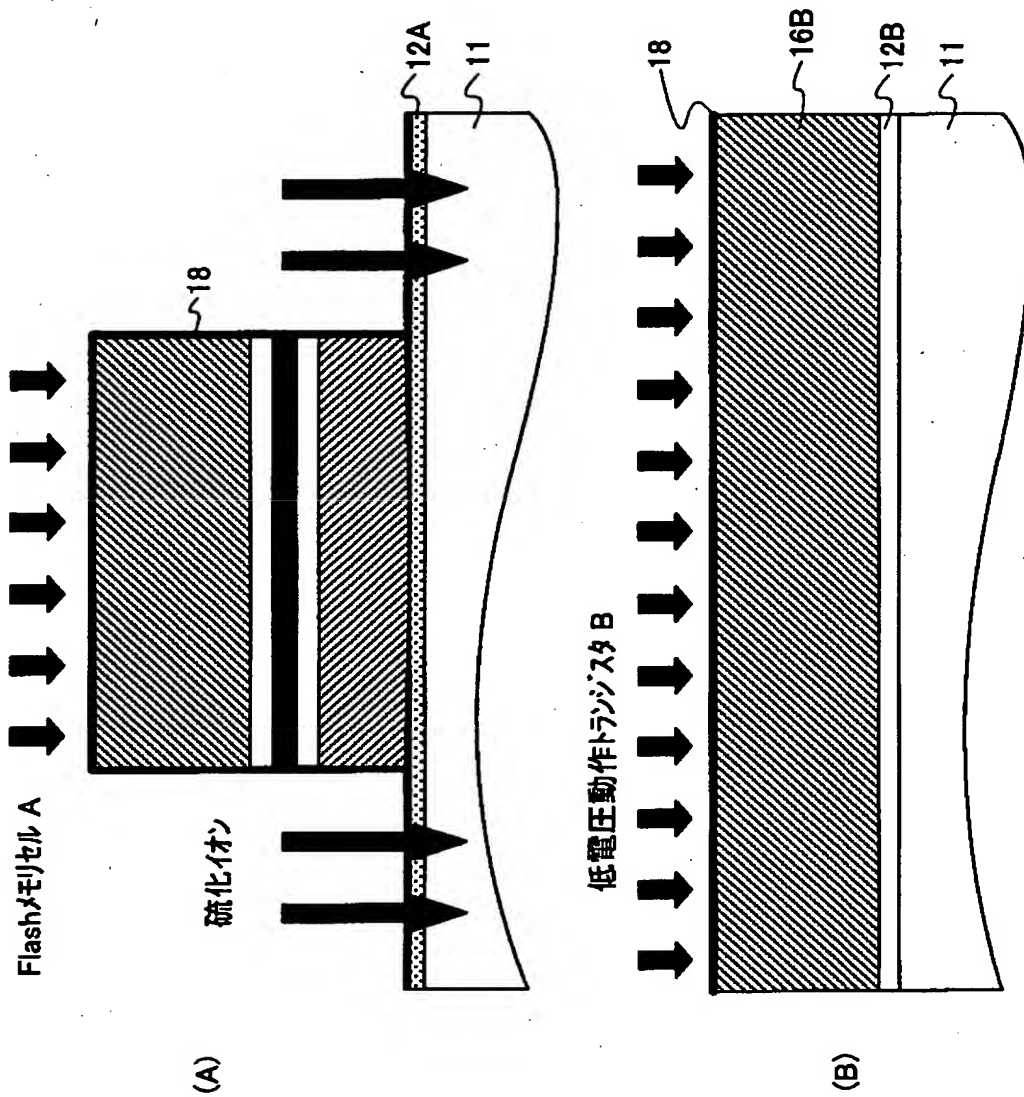
【図 28】

(A)、(B)は、本発明の第1実施例の効果を説明する図



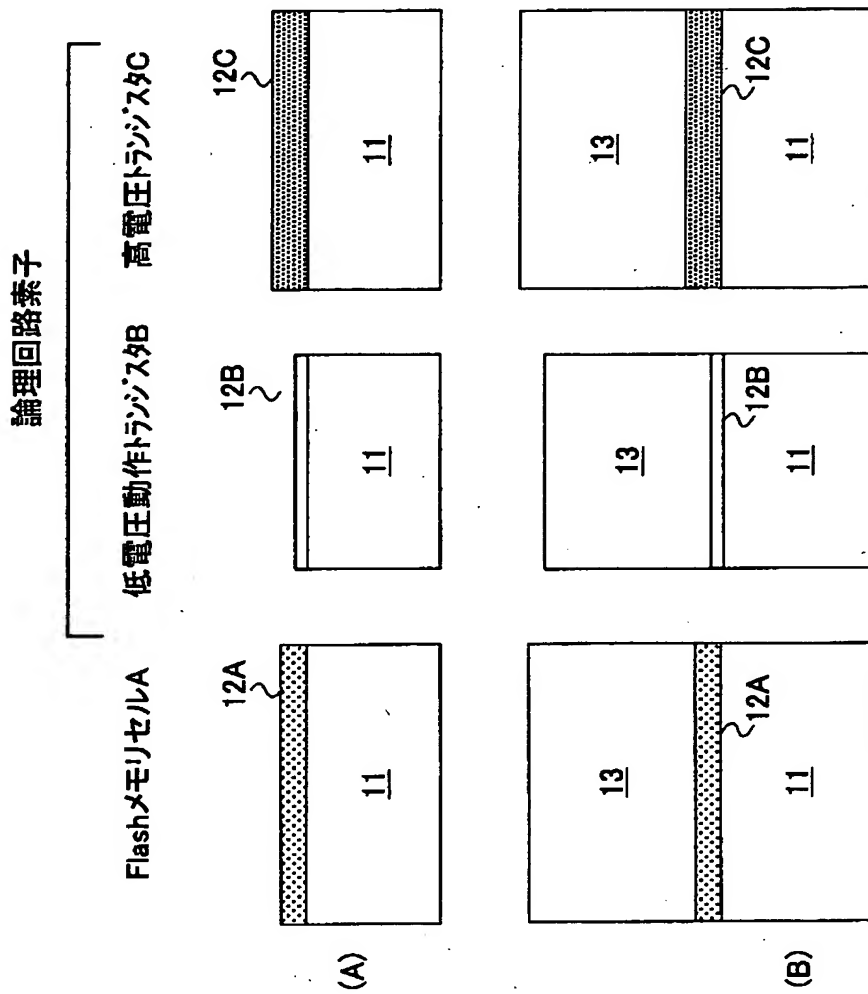
【図 29】

(A)、(B)は、第1実施例の別の効果を説明する図

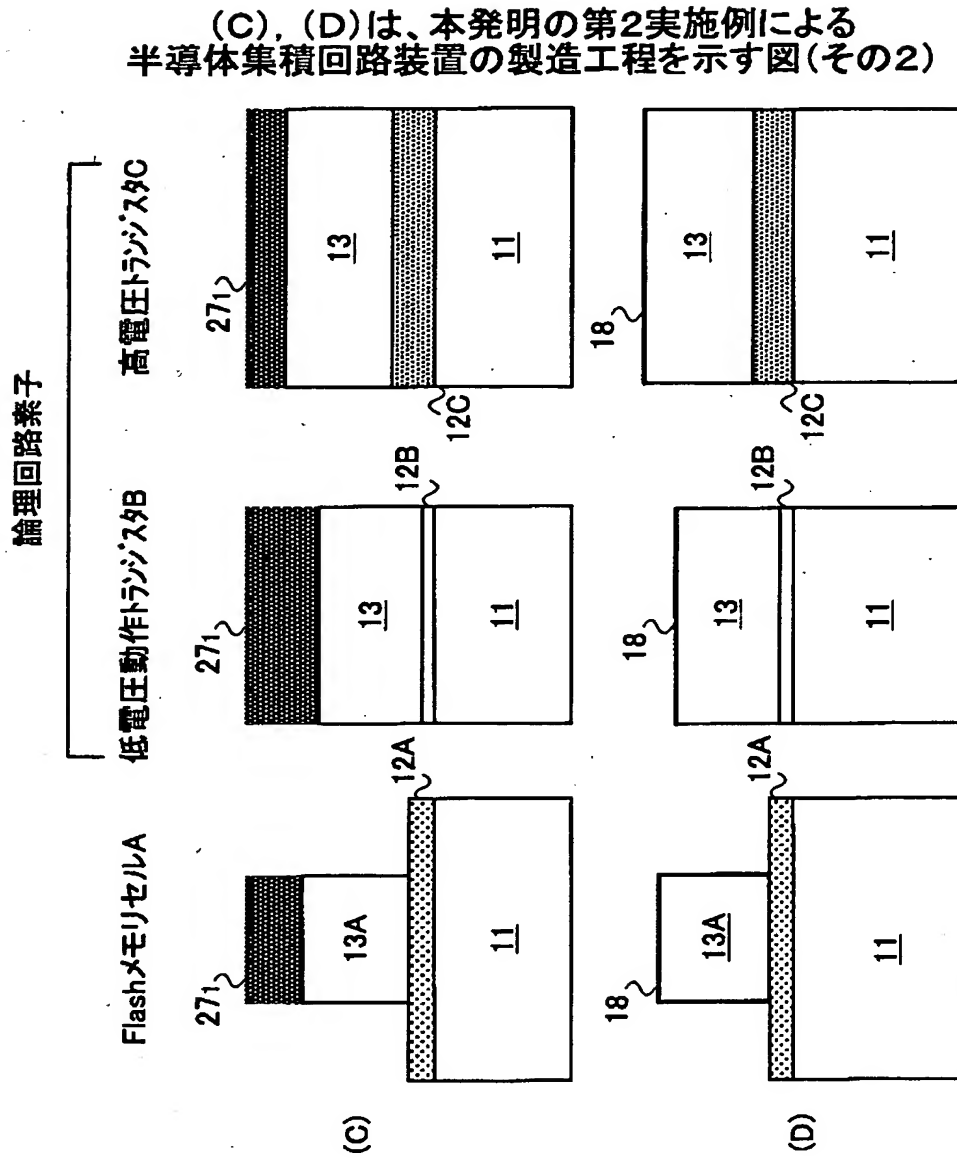


【図 3 0】

(A)、(B)は、本発明の第2実施例による
半導体集積回路装置の製造工程を示す図(その1)

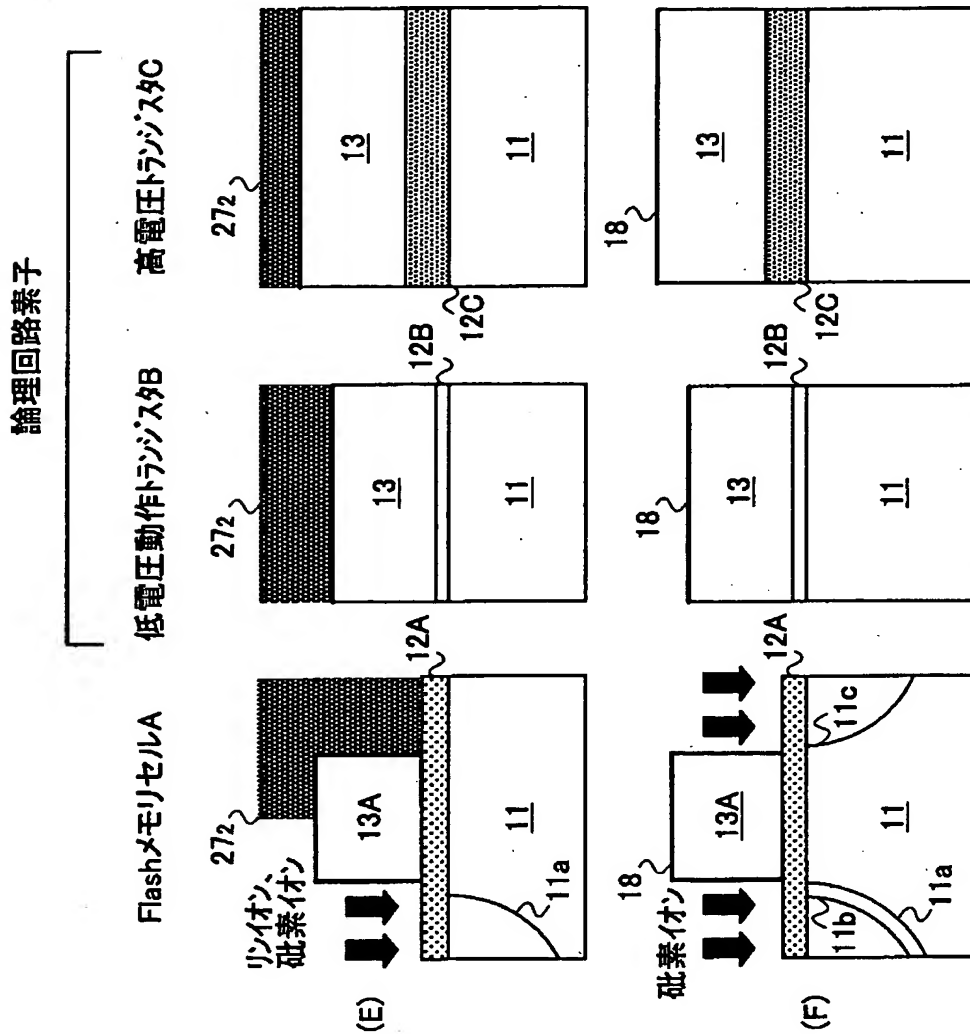


【図 3 1】

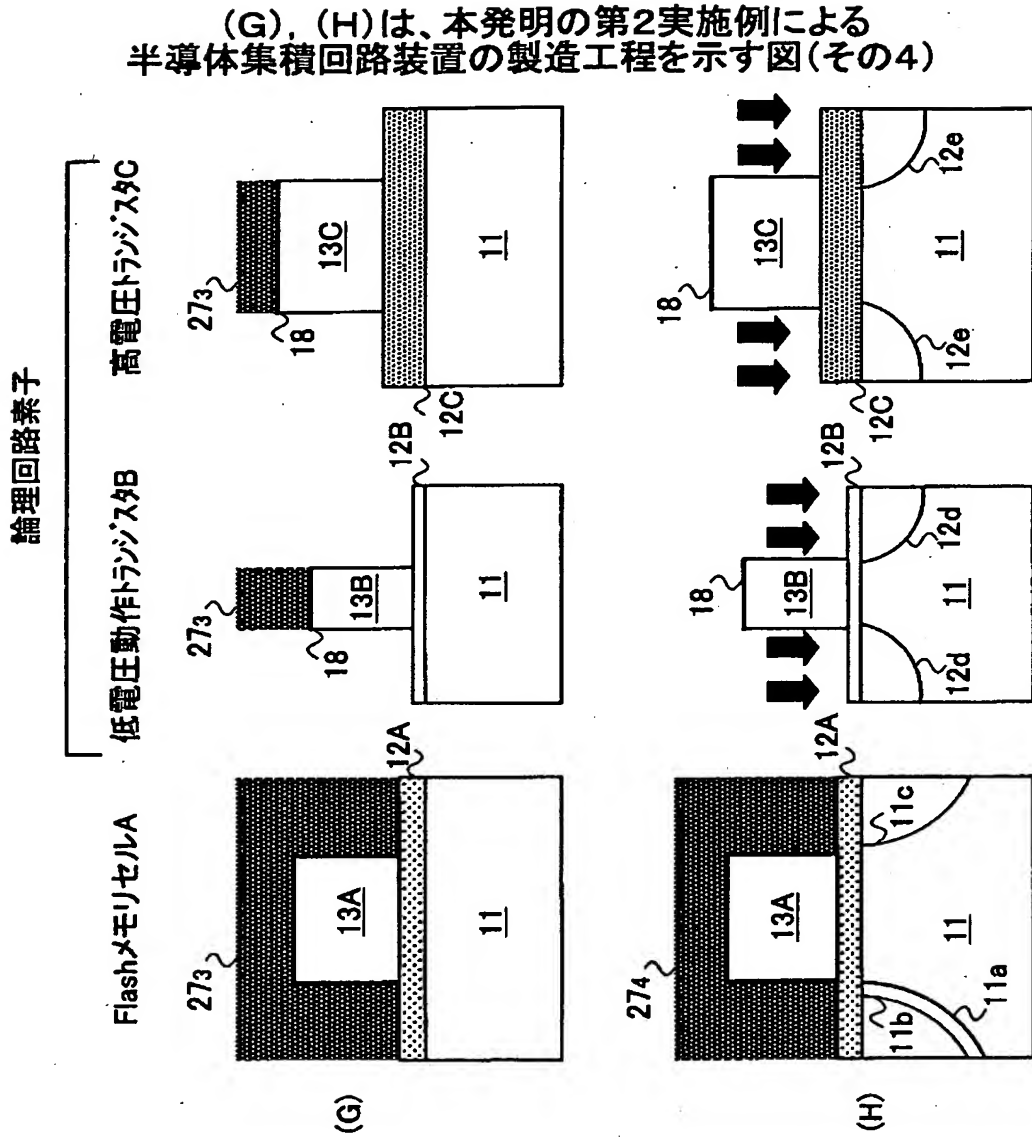


【図 32】

(E)、(F)は、本発明の第2実施例による
半導体集積回路装置の製造工程を示す図(その3)

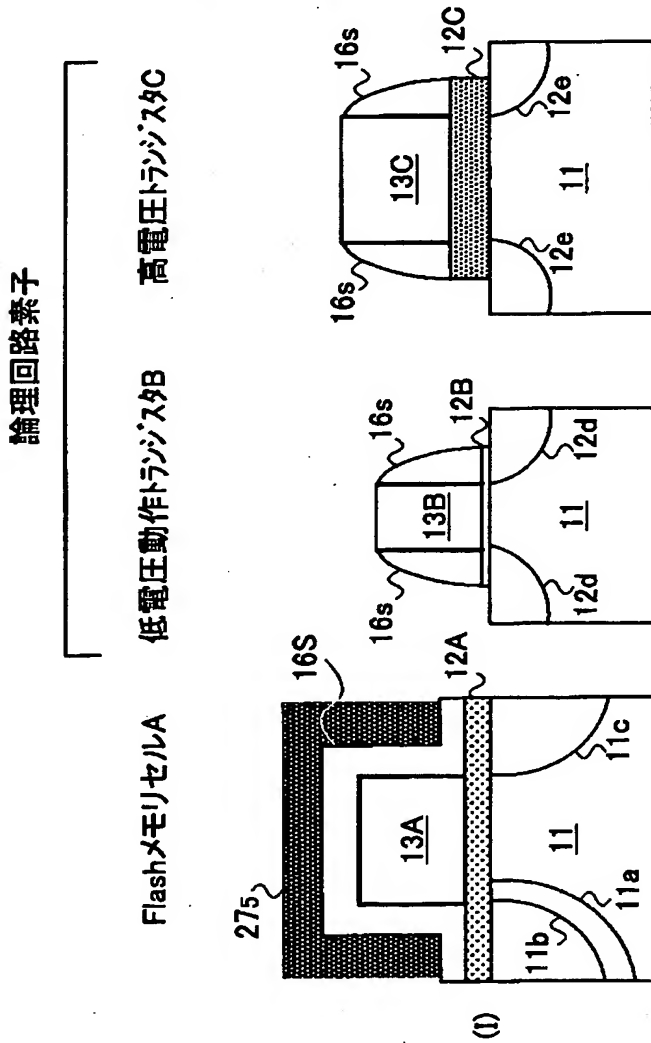


【図 33】



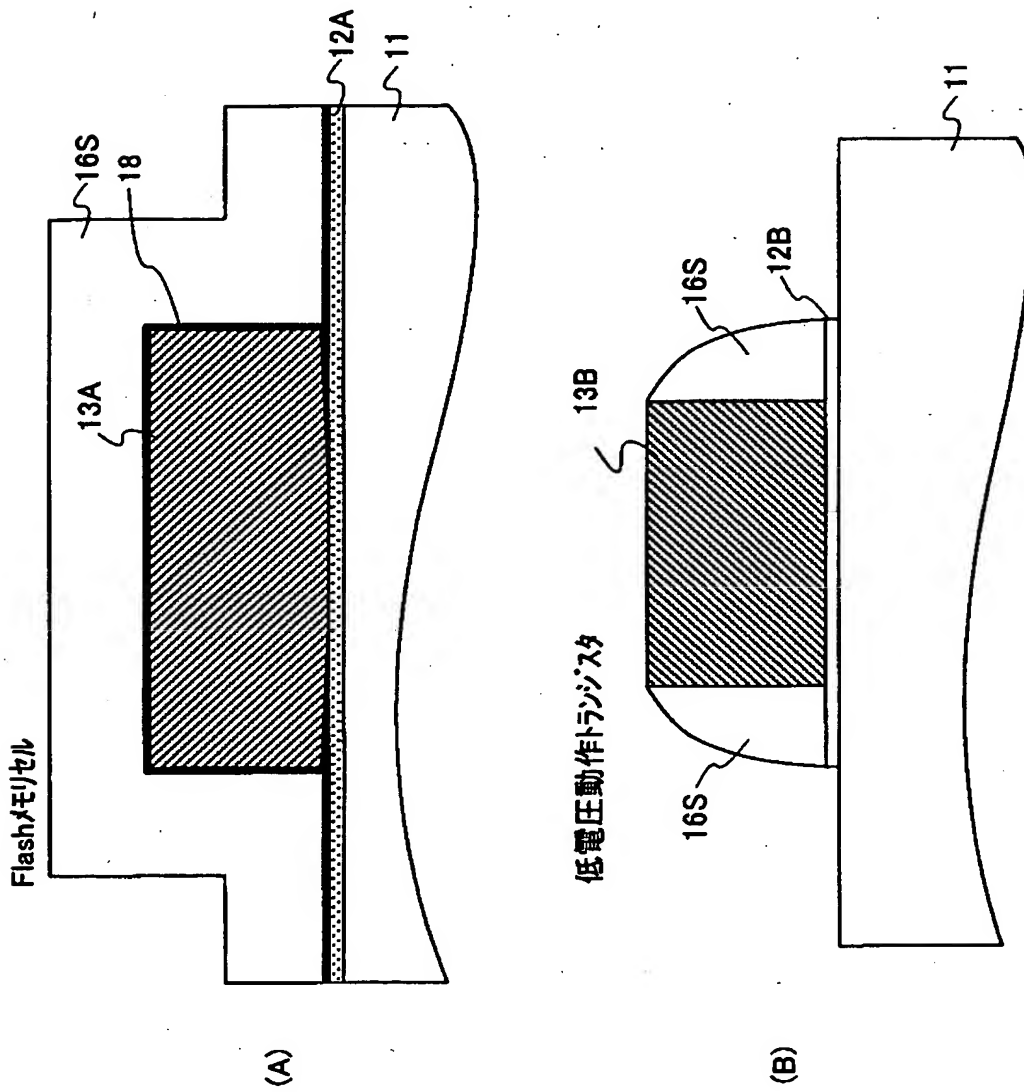
【図 34】

(I)は、本発明の第2実施例による
半導体集積回路装置の製造工程を示す図(その5)



【図 35】

本発明第2実施例の効果を説明する図



【書類名】 要約書

【要約】

【課題】 フラッシュメモリ装置を含む半導体集積回路装置において、フローティングゲート電極を保護酸化膜で覆うと同時に、論理素子を構成するMOSトランジスタのゲート電極直下におけるバースピークの形成を抑制する。

【解決手段】 メモリセル領域と素子領域とを画成された基板の上にアモルファスシリコン膜を一様に堆積し、さらに基板上の素子領域を前記アモルファスシリコン膜で覆ったまま、メモリセル領域において前記アモルファスシリコン膜をパターンニングし、フラッシュメモリ装置の積層ゲート電極あるいは単層ゲートを形成する。さらにこの状態で保護酸化膜を熱酸化処理工程により形成し、その後で前記アモルファスシリコン膜をパターンニングして前記素子領域にゲート電極を形成する。

【選択図】 図25

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社